

## 外付けコンデンサ遅延タイプ電圧検出器

## ■ 概要

XC6129 シリーズは超小型、高精度の外付けコンデンサ型遅延機能付電圧検出器です。CMOS プロセス、高精度基準電源、レーザートリミング技術の採用により高精度、低消費電流を実現しています。遅延回路を内蔵しており、Cd 端子に接続する外付けコンデンサの値によって解除遅延時間/検出遅延時間を設定出来ます。また Cd 端子はマニュアルリセット端子としても使用可能です。

出力形態は CMOS 出力と Nch オープンドレイン出力の 2 種類があり、CMOS 出力の B/D/F タイプは、不定動作防止機能を搭載し電源入力端子電圧が最低動作電圧未満において、不定動作による出力端子電圧を 0.4V(MAX.)以下に抑えます。

また、検出時の出力論理が選択可能で、マイコンを使用するすべての電子機器に最適です。

パッケージは超小型 USPN-4、USPQ-4B05 及び業界標準の SSOT-24 を用意しており、携帯機器での小型化、高密度実装を可能としています。

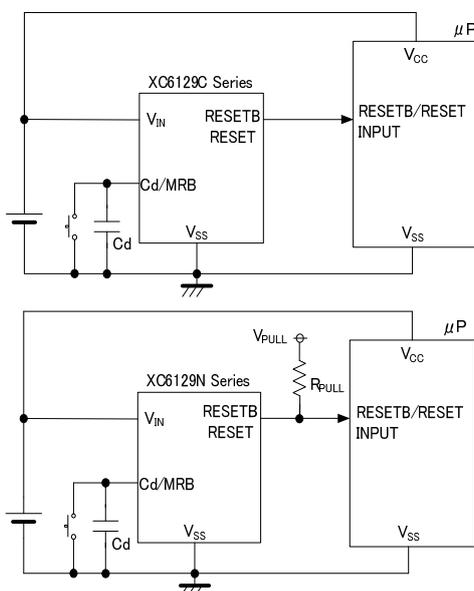
## ■ 用途

- マイコン、ロジック回路のリセット
- バッテリーチェック、充電検出
- メモリーバックアップ
- システムパワーオンリセット
- 停電検出
- 遅延回路

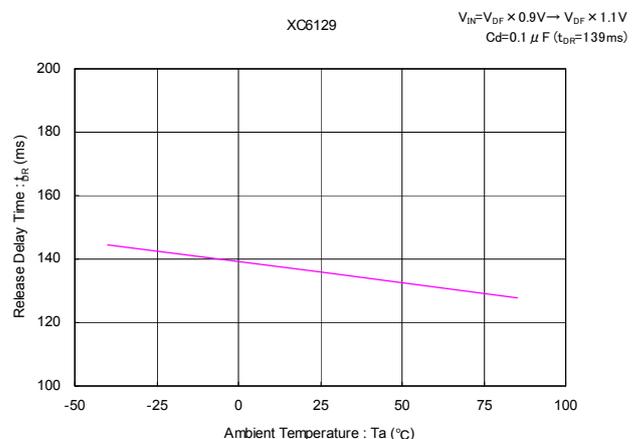
## ■ 特長

高精度	: $\pm 0.8\%$ ( $T_a=25^\circ\text{C}$ )
検出電圧温度特性	: $\pm 50\text{ppm}/^\circ\text{C}$ (TYP.)
ヒステリシス幅	: $V_{DF} \times 5\%$ (TYP.)
低消費電流	: $0.42\ \mu\text{A}$ TYP. (検出時 $V_{DF}=2.7\text{V}$ ) $0.58\ \mu\text{A}$ TYP. (解除時 $V_{DF}=2.7\text{V}$ )
検出電圧範囲	: $1.5\text{V} \sim 5.5\text{V}$ ( $0.1\text{V}$ ステップ)
動作電圧範囲	: $1.3\text{V} \sim 6.0\text{V}$
出力形態	: CMOS 出力 N-ch オープンドレイン出力
出力論理	: 検出時 "L" レベル / 検出時 "H" レベル 選択可能
解除遅延時間	: $13.9\text{ms}$ ( $C_d=0.01\ \mu\text{F}$ , $R_p=2\text{M}\Omega$ )
検出遅延時間	: $17.9\text{ms}$ ( $C_d=0.01\ \mu\text{F}$ , $R_n=2\text{M}\Omega$ )
マニュアルリセット機能	: Cd 端子 "L" レベル時、検出状態
動作周囲温度	: $-40^\circ\text{C} \sim +85^\circ\text{C}$
パッケージ	: USPN-4、SSOT-24、USPQ-4B05
環境への配慮	: EU RoHS 指令対応、鉛フリー

## ■ 代表標準回路

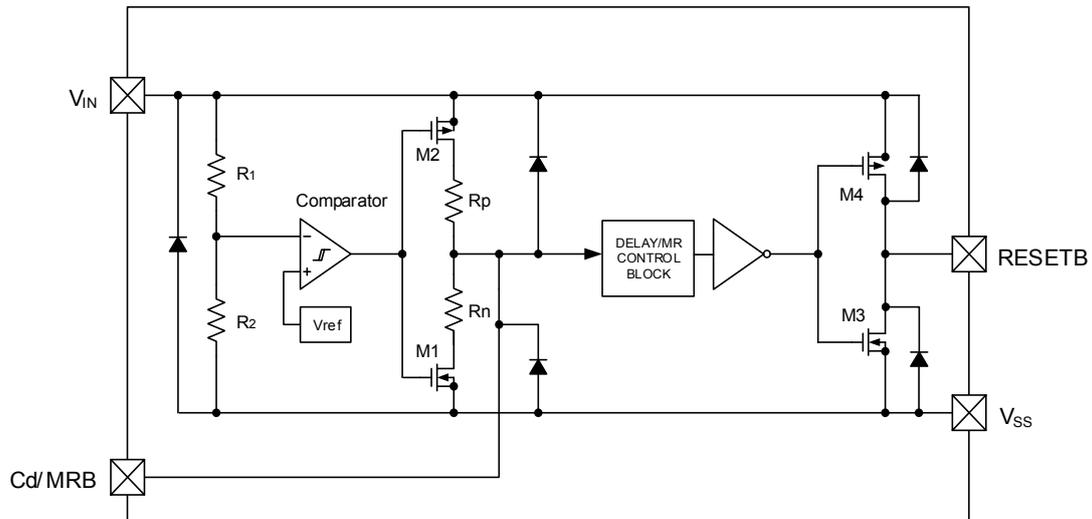


## ■ 代表特性例

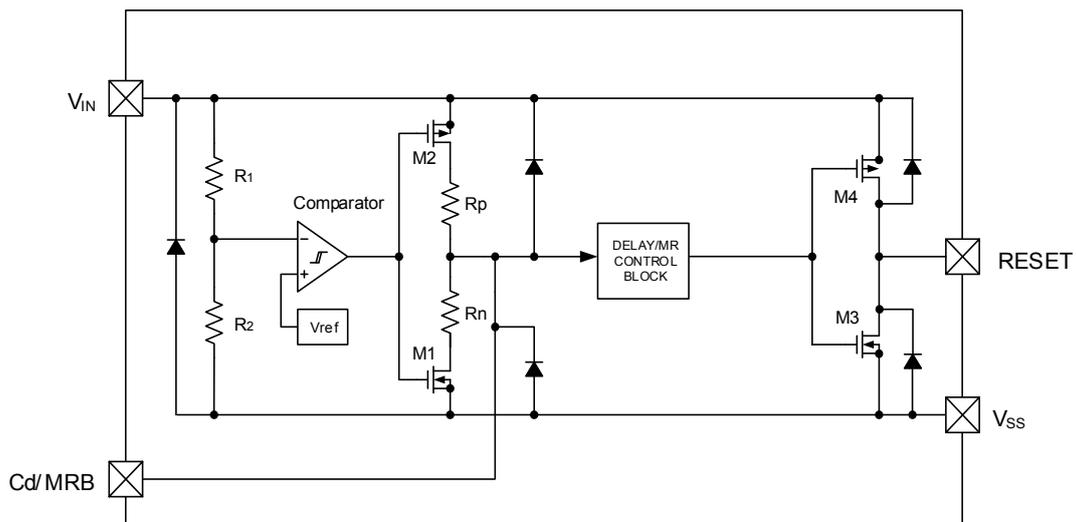


## ■ブロック図

### 1) XC6129C シリーズ A/B/C/D/E/F タイプ



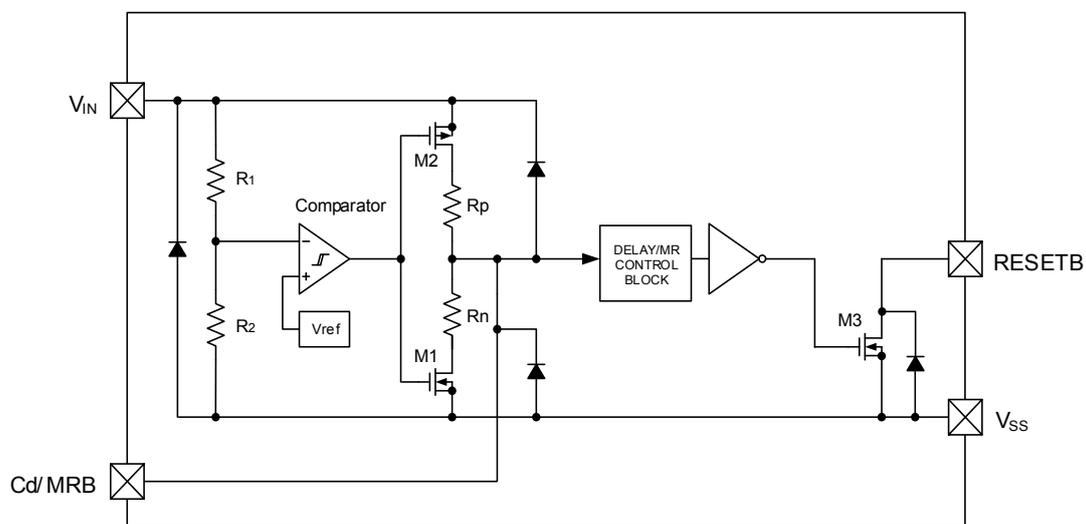
### 2) XC6129C シリーズ G/J/L タイプ



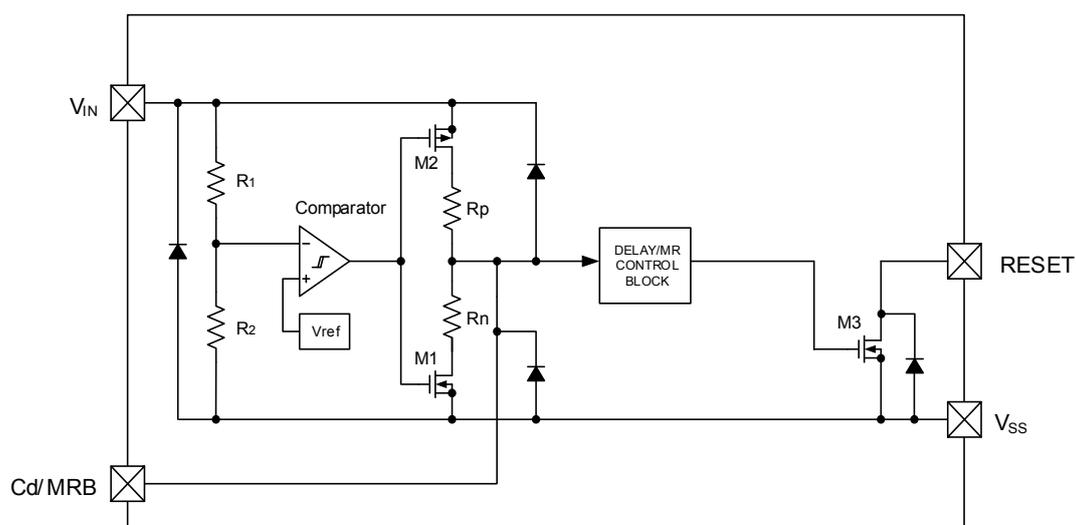
\*上図のダイオードは、静電保護用のダイオードと寄生ダイオードです。

## ■ブロック図

### 3) XC6129N シリーズ A/C/E タイプ



### 4) XC6129N シリーズ G/J/L タイプ



\*上記のダイオードは静電保護用のダイオードと寄生ダイオードとなります。

## ■製品分類

### ●品番ルール

XC6129①②③④⑤⑥-⑦<sup>(\*)</sup>

DESIGNATOR	ITEM	SYMBOL	DESCRIPTION
①	Output Configuration	C	CMOS output
		N	Nch open drain output
②③	Detect Voltage	15~55	e.g. 1.8V → ②=1, ③=8
④	Type	A	Refer to Selection Guide
		B	
		C	
		D	
		E	
		F	
		G	
		J	
⑤⑥-⑦ <sup>(*)</sup>	Packages (Order Unit)	NR-G	SSOT-24 (3,000pcs/Reel)
		7R-G	USPN-4 (5,000pcs/Reel)
		9R-G	USPQ-4B05 (5,000pcs/Reel)

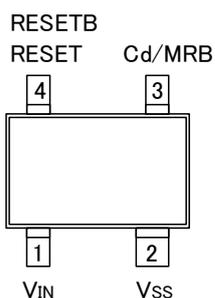
<sup>(\*)</sup> "-G"は、ハロゲン&アンチモンフリーかつ EU RoHS 対応製品です。

### ●セレクションガイド (Selection Guide)

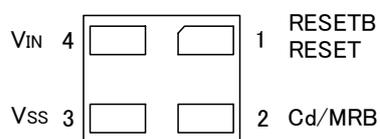
TYPE	RESETB/RESET OUTPUT	HYSTERESIS WIDTH	RELEASE DELAY	DETECT DELAY	Undefined Operation Protect
A	Reset Active Low	5% (TYP.)	Yes	No	No
B					Yes <sup>(*)</sup>
C			No	Yes	No
D					Yes <sup>(*)</sup>
E			Yes	Yes	No
F					Yes <sup>(*)</sup>
G	Reset Active High	5% (TYP.)	Yes	No	No
J			No		
L			Yes		

<sup>(\*)</sup> CMOS 出力のみ対応となります。

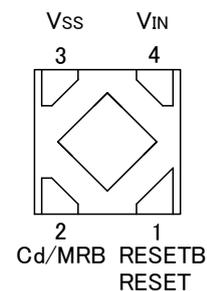
## ■端子配列



SSOT-24  
(TOP VIEW)



USPN-4  
(BOTTOM VIEW)



USPQ-4B05  
(BOTTOM VIEW)

\* USPQ-4B05 の放熱板は実装強度強化および放熱の為、推奨マウントパターンと推奨メタルマスクでのんだ付けを推奨しています。  
なお、マウントパターンは Vss 端子(3 番端子)へ接続して下さい。

## ■端子説明

PIN NUMBER			PIN NAME	FUNCTIONS
SSOT-24	USPN-4	USPQ-4B05		
1	4	4	V <sub>IN</sub>	Power Input
2	3	3	V <sub>SS</sub>	Ground
3	2	2	Cd/MRB	Adjustable Pin for Delay Time /Manual Reset
4	1	1	RESETB	Reset Output (Active Low) <sup>(*)1</sup>
			RESET	Reset Output (Active High) <sup>(*)2</sup>

<sup>(\*)1</sup> Type A~F (品番ルール④参照)

<sup>(\*)2</sup> Type G~L (品番ルール④参照)

## ■機能表

PIN NAME	SIGNAL	STATUS
Cd/MRB	L	Forced Reset
	H	Release
	OPEN	Normal Operation

詳細は下記の表を参照ください。

### 1) 出力論理: Active Low 品

#### ●Function Chart

$V_{IN}$	$V_{Cd/MRB}$	Transition of $V_{RESETB}$ Condition
$V_{IN} \geq V_{DF} + V_{HYS}$	$V_{Cd/MRB} \leq V_{MRL}$	Reset (Low Level) <sup>(*)1</sup>
	$V_{Cd/MRB} \geq V_{MRH}$	Release (High Level) <sup>(*)2</sup>
$V_{IN} \leq V_{DF}$	$V_{Cd/MRB} \leq V_{MRL}$	Reset (Low Level) <sup>(*)1</sup>
	$V_{Cd/MRB} \geq V_{MRH}$	Undefined <sup>(*)3</sup>

### 2) 出力論理: Active High 品

#### ●Function Chart

$V_{IN}$	$V_{Cd/MRB}$	Transition of $V_{RESET}$ Condition
$V_{IN} \geq V_{DF} + V_{HYS}$	$V_{Cd/MRB} \leq V_{MRL}$	Reset (High Level) <sup>(*)2</sup>
	$V_{Cd/MRB} \geq V_{MRH}$	Release (Low Level) <sup>(*)1</sup>
$V_{IN} \leq V_{DF}$	$V_{Cd/MRB} \leq V_{MRL}$	Reset (High Level) <sup>(*)2</sup>
	$V_{Cd/MRB} \geq V_{MRH}$	Undefined <sup>(*)3</sup>

<sup>(\*)1</sup> CMOS 出力:  $V_{IN} \times 0.1$  以下、Nch オープンドレイン出力 プルアップ電圧  $\times 0.1$  以下となります。

<sup>(\*)2</sup> CMOS 出力:  $V_{IN} \times 0.9$  以上、Nch オープンドレイン出力 プルアップ電圧  $\times 0.9$  以上となります。

<sup>(\*)3</sup> 詳細は■動作説明〈マニュアルリセット機能〉を参照ください。

■絶対最大定格

Ta=25°C

PARAMETER		SYMBOL	RATINGS	UNITS
Input Voltage		V <sub>IN</sub>	-0.3~+6.5	V
Output Current	XC6129C <sup>(*)</sup>	I <sub>R</sub> BOU <sub>T</sub>	±50	mA
	XC6129N <sup>(*)</sup>	I <sub>R</sub> OU <sub>T</sub>	50	
Output Voltage	XC6129C <sup>(*)</sup>	V <sub>RESE<sub>T</sub>B</sub>	V <sub>SS</sub> -0.3~V <sub>IN</sub> +0.3 or +6.5 <sup>(*)</sup>	V
	XC6129N <sup>(*)</sup>	V <sub>RESE<sub>T</sub></sub>	V <sub>SS</sub> -0.3~+6.5	
Cd/MRB Pin Voltage		V <sub>Cd/MRB</sub>	V <sub>SS</sub> -0.3~V <sub>IN</sub> +0.3	V
Cd/MRB Pin Current		I <sub>Cd/MRB</sub>	±5	mA
Power Dissipation	SSOT-24	P <sub>d</sub>	150	mW
	USPN-4		100	
	USPQ-4B05		550	
Operating Ambient Temperature		T <sub>opr</sub>	-40~+85	°C
Storage Temperature		T <sub>stg</sub>	-55~+125	°C

各電圧定格は V<sub>SS</sub>を基準とする。

<sup>(\*)</sup> CMOS 出力

<sup>(\*)</sup> N-ch オープンドレイン出力

<sup>(\*)</sup> 最大値は V<sub>IN</sub>+0.3 と +6.5 のいずれか低い電圧になります。

## ■電気的特性例

XC6129xxxA~XC6129xxxF タイプ (出力論理: Active Low 品)

Ta=25°C

PARAMETER		SYMBOL	CONDITIONS	MIN.	TYP.	MAX.	UNITS	CIRCUIT
Detect Voltage		V <sub>DF</sub>	V <sub>DF(T)</sub> <sup>(1)</sup> =1.5V~5.5V	V <sub>DF(T)</sub> ×0.992	V <sub>DF(T)</sub>	V <sub>DF(T)</sub> ×1.008	V	①
Temperature Characteristics		$\frac{\Delta V_{DF}}{(\Delta T_{opr} \cdot V_{DF})}$	-40°C ≤ T <sub>opr</sub> ≤ 85°C	-	±50	-	ppm/°C	①
Hysteresis Width		V <sub>HYS</sub>	-	V <sub>DF</sub> ×0.03	V <sub>DF</sub> ×0.05	V <sub>DF</sub> ×0.07	V	①
Supply Current 1		I <sub>SS1</sub>	V <sub>IN</sub> =V <sub>DF</sub> ×0.9V (Detect)	E-2 <sup>(2)</sup>			μA	②
Supply Current 2		I <sub>SS2</sub>	V <sub>IN</sub> =V <sub>DF</sub> ×1.1V (Release) (Type:A,C,E) (Type:B,D,F)	E-3 <sup>(2)</sup> E-31 <sup>(2)</sup>				
Operating Voltage		V <sub>IN</sub>	-	1.3	-	6.0	V	-
Output Current		I <sub>RBOUT1</sub>	V <sub>IN</sub> =1.3V, V <sub>RESETB</sub> =0.5V (N-ch)	1.7	3.0	-	mA	③
			V <sub>IN</sub> =2.0V <sup>(3)</sup> , V <sub>RESETB</sub> =0.5V (N-ch)	5.2	6.7	-		
			V <sub>IN</sub> =3.0V <sup>(4)</sup> , V <sub>RESETB</sub> =0.5V (N-ch)	8.6	10.2	-		
			V <sub>IN</sub> =4.0V <sup>(5)</sup> , V <sub>RESETB</sub> =0.5V (N-ch)	10.6	12.3	-		
			V <sub>IN</sub> =5.0V <sup>(6)</sup> , V <sub>RESETB</sub> =0.5V (N-ch)	11.7	13.5	-		
		I <sub>RBOUT2</sub> <sup>(7)</sup>	V <sub>IN</sub> =2.0V <sup>(8)</sup> , V <sub>RESETB</sub> =V <sub>IN</sub> -0.5V (P-ch)	-	-1.9	-0.9		
			V <sub>IN</sub> =3.0V <sup>(9)</sup> , V <sub>RESETB</sub> =V <sub>IN</sub> -0.5V (P-ch)	-	-3.1	-2.1		
			V <sub>IN</sub> =4.0V <sup>(10)</sup> , V <sub>RESETB</sub> =V <sub>IN</sub> -0.5V (P-ch)	-	-4.0	-3.0		
			V <sub>IN</sub> =5.0V <sup>(11)</sup> , V <sub>RESETB</sub> =V <sub>IN</sub> -0.5V (P-ch)	-	-4.7	-3.7		
			V <sub>IN</sub> =6.0V, V <sub>RESETB</sub> =V <sub>IN</sub> -0.5V (P-ch)	-	-5.2	-4.2		
Leakage Current	CMOS Output (P-ch)	I <sub>LEAK</sub>	V <sub>IN</sub> =V <sub>DF</sub> ×0.9V, V <sub>RESETB</sub> =0V	-	-0.01	-	μA	③
	N-ch Open Drain Output		V <sub>IN</sub> =6.0V, V <sub>RESETB</sub> =6.0V	-	0.01	0.1		
Delay Resistance <sup>(12)</sup>		R <sub>p</sub>	V <sub>IN</sub> =6.0V, V <sub>Cd/MRB</sub> =0V (Type: A, B, E, F)	1.8	2.0	2.15	MΩ	④
		R <sub>n</sub>	V <sub>IN</sub> =V <sub>Cd/MRB</sub> =V <sub>DF</sub> ×0.9V (Type: C, D, E, F)					
Undefined Operation <sup>(13)</sup>		V <sub>UNS</sub>	V <sub>IN</sub> <1.3V	-	-	0.4	V	⑧
Release Delay Time		t <sub>DR0</sub>	V <sub>IN</sub> =V <sub>DF</sub> ×0.9V→V <sub>DF</sub> ×1.1V <sup>(14)</sup> Cd: OPEN	-	0.05	-	ms	⑤
Detect Delay Time		t <sub>DF0</sub>	V <sub>IN</sub> =V <sub>DF</sub> ×1.1V→V <sub>DF</sub> ×0.9V <sup>(15)</sup> Cd: OPEN	-	0.13	-	ms	⑤
Cd Threshold Voltage		V <sub>TCD</sub>	V <sub>IN</sub> =V <sub>DF</sub> ×1.1V~6.0V (Release) V <sub>IN</sub> =V <sub>DF</sub> ×0.9V (Detect)	V <sub>IN</sub> ×0.44	V <sub>IN</sub> ×0.50	V <sub>IN</sub> ×0.56	V	⑥
MRB Low Level Voltage		V <sub>MRL</sub>	V <sub>IN</sub> =V <sub>DF</sub> ×1.1V~6.0V	0	-	V <sub>IN</sub> ×0.17	V	⑥
MRB High Level Voltage		V <sub>MRH</sub>	V <sub>IN</sub> =V <sub>DF</sub> ×1.1V~6.0V	V <sub>IN</sub> ×0.56	-	V <sub>IN</sub>	V	⑥
Minimum MRB Pulse Width		t <sub>MRB</sub>	V <sub>IN</sub> =V <sub>DF</sub> ×1.1V V <sub>Cd/MRB</sub> =V <sub>IN</sub> →0V→V <sub>IN</sub>	5.0	-	-	μs	⑦

(1) V<sub>DF(T)</sub>: 設定検出電圧値。

(2) 各設定検出電圧での詳細な値は設定電圧別一覧表参照。

(3) V<sub>DF(T)</sub>>2.0V の製品のみ。

(4) V<sub>DF(T)</sub>>3.0V の製品のみ。

(5) V<sub>DF(T)</sub>>4.0V の製品のみ。

(6) V<sub>DF(T)</sub>>5.0V の製品のみ。

(7) XC6129C (CMOS 出力)のみ。

(8) V<sub>DF(T)</sub>≤1.8V の製品のみ。

(9) V<sub>DF(T)</sub>≤2.7V の製品のみ。

(10) V<sub>DF(T)</sub>≤3.7V の製品のみ。

(11) V<sub>DF(T)</sub>≤4.6V の製品のみ。

(12) 抵抗値は Cd/MRB 端子の印加電圧値と電流値から算出。

(13) XC6129C シリーズ B/D/F タイプのみ。

(14) V<sub>IN</sub> 立ち上げ時、V<sub>IN</sub>=V<sub>DF</sub>+V<sub>HYS</sub> から V<sub>RESETB</sub>=V<sub>DF</sub>×1.1×0.9 になるまでの時間。(CMOS 出力)

V<sub>IN</sub> 立ち上げ時、V<sub>IN</sub>=V<sub>DF</sub>+V<sub>HYS</sub> から V<sub>RESETB</sub>=プルアップ電圧×0.9 になるまでの時間。(Nch オープンドレイン出力)

(15) V<sub>IN</sub> 立ち下げ時、V<sub>IN</sub>=V<sub>DF</sub> から V<sub>RESETB</sub>=V<sub>DF</sub>×0.9×0.1 になるまでの時間。(CMOS 出力)

V<sub>IN</sub> 立ち下げ時、V<sub>IN</sub>=V<sub>DF</sub> から V<sub>RESETB</sub>=プルアップ電圧×0.1 になるまでの時間。(Nch オープンドレイン出力)

## ■電気的特性例

XC6129xxxG~XC6129xxxL タイプ (出力論理: Active High 品)

Ta=25°C

PARAMETER		SYMBOL	CONDITIONS	MIN.	TYP.	MAX.	UNITS	CIRCUIT
Detect Voltage		V <sub>DF</sub>	V <sub>DF(T)</sub> <sup>(*)1</sup> =1.5V~5.5V	V <sub>DF(T)</sub> ×0.992	V <sub>DF(T)</sub>	V <sub>DF(T)</sub> ×1.008	V	①
Temperature Characteristics		$\frac{\Delta V_{DF}}{(\Delta T_{opr} \cdot V_{DF})}$	-40°C ≤ T <sub>opr</sub> ≤ 85°C	-	±50	-	ppm/°C	①
Hysteresis Width		V <sub>HYS</sub>	-	V <sub>DF</sub> ×0.03	V <sub>DF</sub> ×0.05	V <sub>DF</sub> ×0.07	V	①
Supply Current 1		I <sub>SS1</sub>	V <sub>IN</sub> =V <sub>DF</sub> ×0.9V (Detect)	E-2 <sup>(*)2</sup>			μA	②
Supply Current 2		I <sub>SS2</sub>	V <sub>IN</sub> =V <sub>DF</sub> ×1.1V (Release)	E-3 <sup>(*)2</sup>				
Operating Voltage		V <sub>IN</sub>	-	1.3	-	6.0	V	-
Output Current		I <sub>ROUT1</sub>	V <sub>IN</sub> =2.0V <sup>(*)3</sup> , V <sub>RESET</sub> =0.5V (N-ch)	5.2	6.7	-	mA	③
			V <sub>IN</sub> =3.0V <sup>(*)4</sup> , V <sub>RESET</sub> =0.5V (N-ch)	8.6	10.2	-		
			V <sub>IN</sub> =4.0V <sup>(*)5</sup> , V <sub>RESET</sub> =0.5V (N-ch)	10.6	12.3	-		
			V <sub>IN</sub> =5.0V <sup>(*)6</sup> , V <sub>RESET</sub> =0.5V (N-ch)	11.7	13.5	-		
			V <sub>IN</sub> =6.0V, V <sub>RESET</sub> =0.5V (N-ch)	12.4	14.3	-		
		I <sub>ROUT2</sub> <sup>(*)7</sup>	V <sub>IN</sub> =1.3V, V <sub>RESET</sub> =V <sub>IN</sub> -0.5V (P-ch)	-	-0.9	-0.1		
			V <sub>IN</sub> =2.0V <sup>(*)8</sup> , V <sub>RESET</sub> =V <sub>IN</sub> -0.5V (P-ch)	-	-1.9	-0.9		
			V <sub>IN</sub> =3.0V <sup>(*)9</sup> , V <sub>RESET</sub> =V <sub>IN</sub> -0.5V (P-ch)	-	-3.1	-2.1		
			V <sub>IN</sub> =4.0V <sup>(*)10</sup> , V <sub>RESET</sub> =V <sub>IN</sub> -0.5V (P-ch)	-	-4.0	-3.0		
			V <sub>IN</sub> =5.0V <sup>(*)11</sup> , V <sub>RESET</sub> =V <sub>IN</sub> -0.5V (P-ch)	-	-4.7	-3.7		
Leakage Current	CMOS Output (P-ch)	I <sub>LEAK</sub>	V <sub>IN</sub> =6.0V, V <sub>RESET</sub> =0V	-	-0.01	-	μA	③
	N-ch Open Drain Output		V <sub>IN</sub> =V <sub>DF</sub> ×0.9V, V <sub>RESET</sub> =6.0V	-	0.01	0.1		
Delay Resistance <sup>(*)12</sup>		R <sub>p</sub>	V <sub>IN</sub> =6.0V, V <sub>Cd/MRB</sub> =0V (Type: G, L)	1.8	2.0	2.15	MΩ	④
		R <sub>n</sub>	V <sub>IN</sub> =V <sub>DF</sub> ×0.9V (Type: J, L)					
Release Delay Time		t <sub>DR0</sub>	V <sub>IN</sub> =V <sub>DF</sub> ×0.9V→V <sub>DF</sub> ×1.1V <sup>(*)13</sup> Cd: OPEN	-	0.05	-	ms	⑤
Detect Delay Time		t <sub>DF0</sub>	V <sub>IN</sub> =V <sub>DF</sub> ×1.1V→V <sub>DF</sub> ×0.9V <sup>(*)14</sup> Cd: OPEN	-	0.13	-	ms	⑤
Cd Threshold Voltage		V <sub>TCD</sub>	V <sub>IN</sub> =V <sub>DF</sub> ×1.1V~6.0V (Release)	V <sub>IN</sub> ×0.44	V <sub>IN</sub> ×0.50	V <sub>IN</sub> ×0.56	V	⑥
			V <sub>IN</sub> =V <sub>DF</sub> ×0.9V (Detect)					
MRB Low Level Voltage		V <sub>MRL</sub>	V <sub>IN</sub> =V <sub>DF</sub> ×1.1V~6.0V	0	-	V <sub>IN</sub> ×0.17	V	⑥
MRB High Level Voltage		V <sub>MRH</sub>	V <sub>IN</sub> =V <sub>DF</sub> ×1.1V~6.0V	V <sub>IN</sub> ×0.56	-	V <sub>IN</sub>	V	⑥
Minimum MRB Pulse Width		t <sub>MRB</sub>	V <sub>IN</sub> =V <sub>DF</sub> ×1.1V V <sub>Cd/MRB</sub> =V <sub>IN</sub> →0V→V <sub>IN</sub>	5.0	-	-	μs	⑦

(\*)1 V<sub>DF(T)</sub>: 設定検出電圧値。

(\*)2 各設定検出電圧での詳細な値は設定電圧別一覧表参照。

(\*)3 V<sub>DF(T)</sub> ≤ 1.8V の製品のみ。

(\*)4 V<sub>DF(T)</sub> ≤ 2.7V の製品のみ。

(\*)5 V<sub>DF(T)</sub> ≤ 3.7V の製品のみ。

(\*)6 V<sub>DF(T)</sub> ≤ 4.6V の製品のみ。

(\*)7 XC6129C (CMOS 出力)のみ。

(\*)8 V<sub>DF(T)</sub> > 2.0V の製品のみ。

(\*)9 V<sub>DF(T)</sub> > 3.0V の製品のみ。

(\*)10 V<sub>DF(T)</sub> > 4.0V の製品のみ。

(\*)11 V<sub>DF(T)</sub> > 5.0V の製品のみ。

(\*)12 抵抗値は Cd/MRB 端子の印加電圧値と電流値から算出。

(\*)13 V<sub>IN</sub> 立ち上げ時、V<sub>IN</sub>=V<sub>DF</sub>+V<sub>HYS</sub> から V<sub>RESETB</sub>=V<sub>DF</sub>×1.1×0.1 になるまでの時間。(CMOS 出力)

V<sub>IN</sub> 立ち上げ時、V<sub>IN</sub>=V<sub>DF</sub>+V<sub>HYS</sub> から V<sub>RESETB</sub>=プルアップ電圧×0.1 になるまでの時間。(Nch オープンドレイン出力)

(\*)14 V<sub>IN</sub> 立ち下げ時、V<sub>IN</sub>=V<sub>DF</sub> から V<sub>RESETB</sub>=V<sub>DF</sub>×0.9×0.9 になるまでの時間。(CMOS 出力)

V<sub>IN</sub> 立ち下げ時、V<sub>IN</sub>=V<sub>DF</sub> から V<sub>RESETB</sub>=プルアップ電圧×0.9 になるまでの時間。(Nch オープンドレイン出力)

## ■電気的特性例

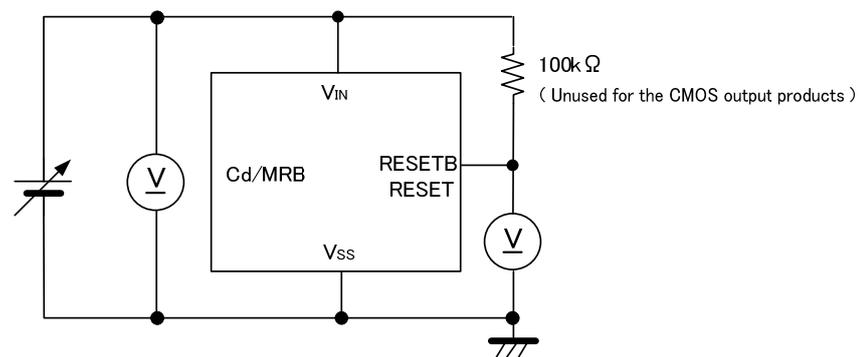
●設定電圧別一覧表

Ta=25°C

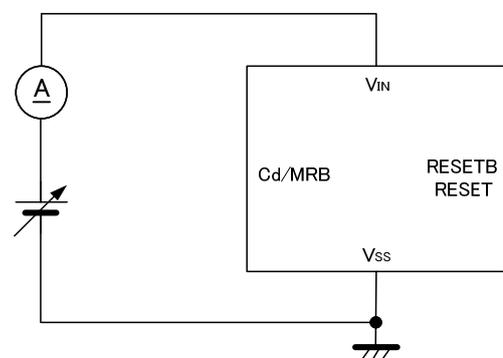
NOMINAL DETECT VOLTAGE	E-1		E-2			E-3			E-31		
	DETECT VOLTAGE (V)		Supply Current1 ( $\mu$ A)			Supply Current2 ( $\mu$ A)					
	$V_{DF(T)}$ (V)	$V_{DF}$		$I_{SS1}$			$I_{SS2}$				
MIN.		MAX.	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.
1.5	1.4880	1.5120	-	0.38	1.11	-	0.47	1.39	-	0.63	1.67
1.6	1.5872	1.6128									
1.7	1.6864	1.7136									
1.8	1.7856	1.8144									
1.9	1.8848	1.9152									
2.0	1.9840	2.0160									
2.1	2.0832	2.1168									
2.2	2.1824	2.2176									
2.3	2.2816	2.3184	-	0.42	1.16	-	0.58	1.60	-	0.74	1.88
2.4	2.3808	2.4192									
2.5	2.4800	2.5200									
2.6	2.5792	2.6208									
2.7	2.6784	2.7216									
2.8	2.7776	2.8224									
2.9	2.8768	2.9232									
3.0	2.9760	3.0240									
3.1	3.0752	3.1248									
3.2	3.1744	3.2256									
3.3	3.2736	3.3264									
3.4	3.3728	3.4272	-	0.47	1.31	-	0.71	1.90	-	0.87	2.18
3.5	3.4720	3.5280									
3.6	3.5712	3.6288									
3.7	3.6704	3.7296									
3.8	3.7696	3.8304									
3.9	3.8688	3.9312									
4.0	3.9680	4.0320									
4.1	4.0672	4.1328									
4.2	4.1664	4.2336									
4.3	4.2656	4.3344									
4.4	4.3648	4.4352									
4.5	4.4640	4.5360									
4.6	4.5632	4.6368									
4.7	4.6624	4.7376									
4.8	4.7616	4.8384	-	0.52	1.41	-	0.83	2.17	-	0.99	2.45
4.9	4.8608	4.9392									
5.0	4.9600	5.0400									
5.1	5.0592	5.1408									
5.2	5.1584	5.2416									
5.3	5.2576	5.3424									
5.4	5.3568	5.4432									
5.5	5.4560	5.5440									

## ■測定回路

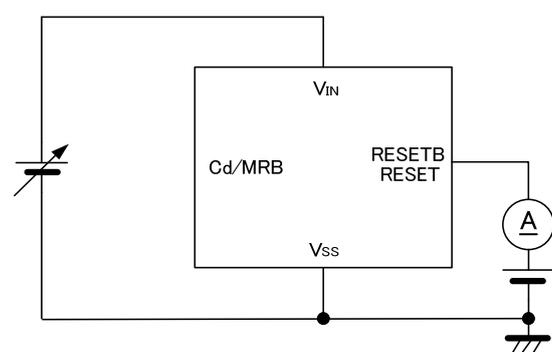
CIRCUIT①



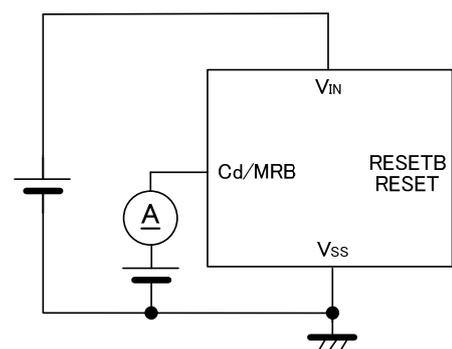
CIRCUIT②



CIRCUIT③

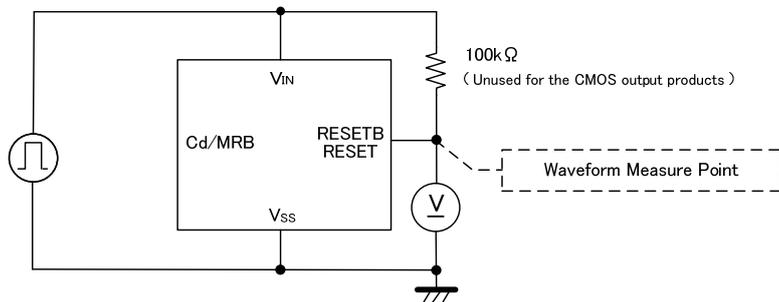


CIRCUIT④

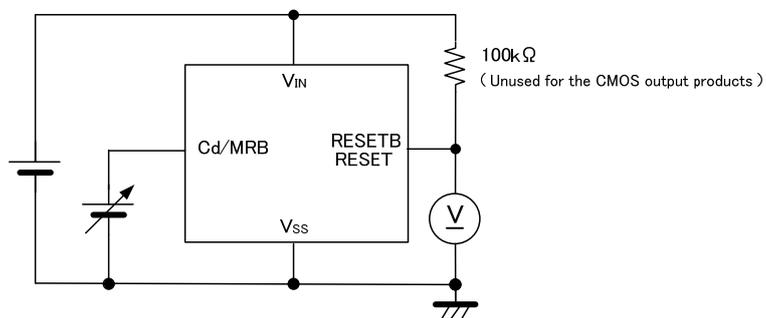


## ■測定回路

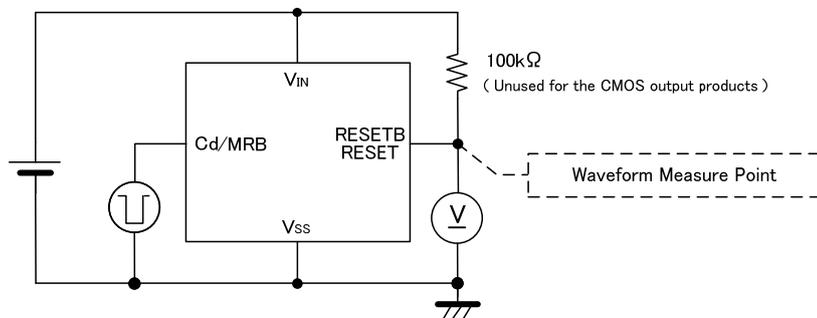
CIRCUIT⑤



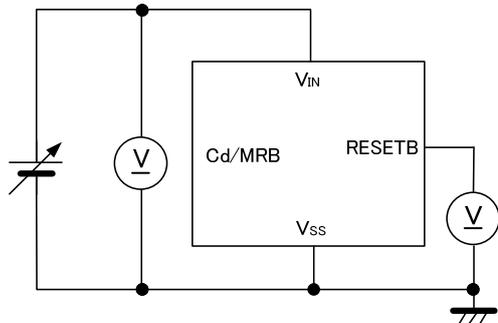
CIRCUIT⑥



CIRCUIT⑦

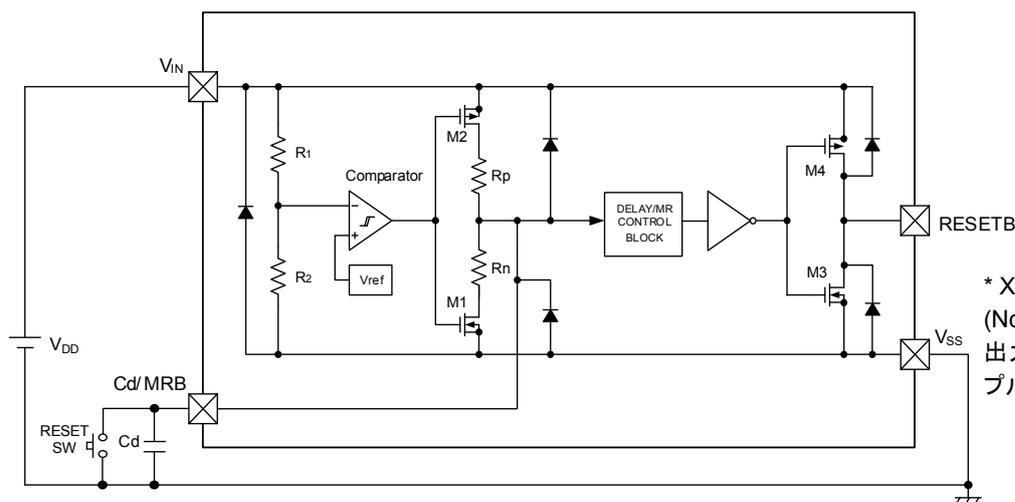


CIRCUIT⑧



## ■動作説明

図 1 に代表的な回路例、図 2 に図 1 のタイミングチャートを示します。



\* XC6129Nシリーズ  
(Nchオープンドレイン出力)では、  
出力をプルアップする為の  
プルアップ抵抗が必要です。

図 1: 代表的な回路例 (Active Low 品)

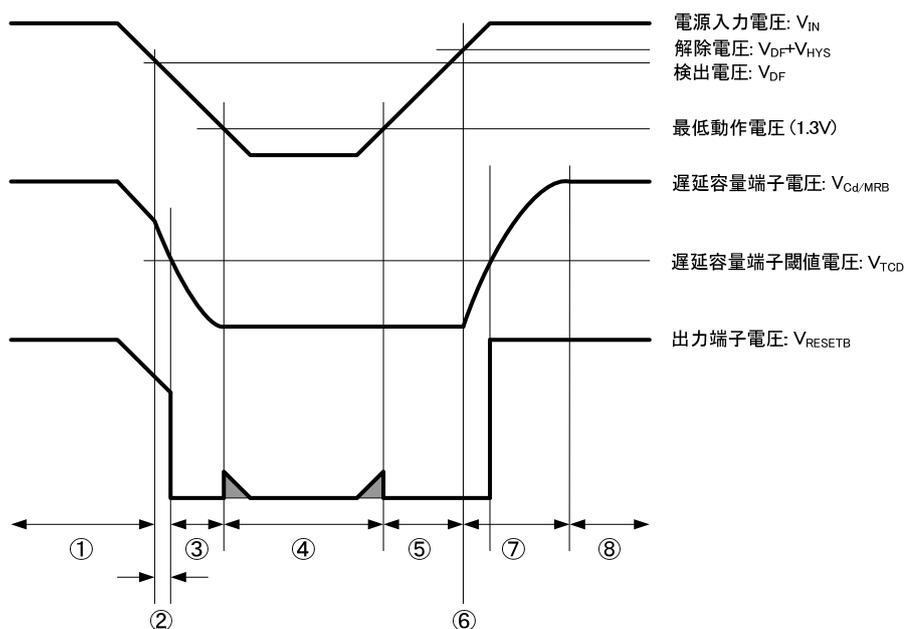


図 2: 図 1 のタイミングチャート

- ① 初期状態として電源入力端子  $V_{IN}$  には解除電圧に対して十分に高い電圧が印加されており、遅延容量端子  $Cd/MRB$  は電源入力端子電圧までチャージされているものとします。  
電源入力端子電圧が降下し始め、検出電圧に達するまでの間 ( $V_{IN} > V_{DF}$ )、出力端子電圧  $V_{RESETB}$  は High レベルとなっています。
- ② 電源入力端子電圧が降下し続け検出電圧となった ( $V_{IN} = V_{DF}$ ) 時、遅延容量ディスチャージ用 Nch トランジスタが ON し、遅延容量のディスチャージを開始します。  
遅延容量端子が遅延容量端子閾値電圧以下となると  $V_{RESETB}$  が Low レベルとなります。  
 $V_{IN} = V_{DF}$  から、 $V_{RESETB}$  が Low レベルになるまでの時間を検出遅延  $t_{DF}$  (遅延容量端子がオープンの際の検出時間を  $t_{DF0}$ ) とします。

## ■動作説明

- ③ 電源入力端子電圧がさらに低下し、検出電圧 $V_{DF}$ 以下かつ1.3V以上の間、遅延容量端子はグラウンドレベルまでディスチャージされ、出力端子電圧 $V_{RESETB}$ はLowレベルを保持します。
- ④ 電源入力端子電圧が1.3V未満となり、再び1.3V以上となるまでの間、出力端子電圧 $V_{RESETB}$ はLowレベルを保持できなくなる可能性が生じます。この間の動作を不定動作と呼び、 $V_{RESETB}$ に現れる電圧を不定動作電圧 $V_{UNST}$ と呼びます。
- ⑤ 電源入力端子電圧が上昇し、1.3V以上かつ解除電圧に達するまでの間( $1.3V \leq V_{IN} < V_{DF} + V_{HYS}$ )、出力端子電圧 $V_{RESETB}$ はLowレベルを保持します。
- ⑥ 電源入力端子電圧が上昇し続け、解除電圧( $V_{DF} + V_{HYS}$ )になった時、遅延容量ディスチャージ用NchトランジスタがOFFし、遅延抵抗 $R_p$ を介して遅延容量端子のチャージを開始します。
- ⑦ 電源入力端子電圧が解除電圧より高い電圧を保持し続ける間、遅延容量端子は電源入力端子電圧までチャージされます。遅延容量端子電圧が $V_{TCD}$ になった時、出力端子電圧 $V_{RESETB}$ はHighレベルに変化します。 $V_{IN} = V_{DF} + V_{HYS}$ から $V_{RESETB}$ がHighレベルに変化するまでの時間を解除遅延時間 $t_{DR}$ (遅延容量端子がオープンの際の解除時間を $t_{DR0}$ )とします。
- ⑧ 電源入力端子電圧が検出電圧より高い( $V_{IN} > V_{DF}$ )間、出力端子電圧 $V_{RESETB}$ はHighレベルを保持します。

尚、上記は検出時Active Low製品を用いての動作説明となります。

Active High製品の場合は、 $V_{RESETB}$ の論理を逆にしてご理解頂きますようお願いいたします。

## ■動作説明

<解除遅延時間/検出遅延時間>

解除遅延時間と検出遅延時間は遅延抵抗(RpとRn)及び遅延容量(Cd)で決まります。  
遅延抵抗は回路内部にて2MΩ(TYP.)に設定されている為、遅延時間は遅延容量値により可変する事が出来ます。  
解除遅延時間及び、検出遅延時間は製品タイプにより機能の有無が選択できます。(セレクションガイド参照)。

解除遅延 $t_{DR}$ は式(1)により算出されます。

$$t_{DR} = R_p \times C_d \times \{-\ln(1 - V_{TCD}/V_{IN})\} + t_{DR0} \dots (1) \quad * \ln \text{は自然対数}$$

Rn : 遅延抵抗 2.0MΩ(TYP.)

$V_{TCD}$  : 遅延容量端子閾値電圧  $V_{IN}/2$ (TYP.)

$t_{DR0}$ が無視できる時、簡易的には式(2)で算出する事が可能です。

$$t_{DR} = R_p \times C_d \times [-\ln\{1 - (V_{IN}/2)/V_{IN}\}] = R_p \times C_d \times 0.693 \dots (2)$$

例) 遅延容量Cdを0.68μFとした時の解除遅延時間 $t_{DR}$ は、 $2.0 \times 10^6 \times 0.68 \times 10^{-6} \times 0.693 = 942$ (ms)となります。

検出遅延 $t_{DF}$ は式(3)により算出されます。

$$t_{DF} = R_n \times C_d \times \{-\ln(V_{TCD}/V_{IN1})\} + t_{DF0} \dots (3) \quad * \ln \text{は自然対数}$$

Rn : 遅延抵抗 2.0MΩ(TYP.)

$V_{TCD}$  : 遅延容量端子閾値電圧  $V_{IN2}/2$ (TYP.) \* $V_{IN2}$ は検出時の電源入力端子電圧

$V_{IN1}$  : 解除時の電源入力端子電圧

$V_{IN} = V_{DF} \times 1.1V \rightarrow V_{DF} \times 0.9V$ の場合、 $t_{DF0}$ が無視できる時、簡易的には式(4)で算出する事が可能です。

$$t_{DF} = R_n \times C_d \times \{-\ln(V_{IN2}/2)/V_{IN1}\} = R_n \times C_d \times [-\ln\{(V_{DF} \times 0.9 \times 0.5)/(V_{DF} \times 1.1)\}] = R_n \times C_d \times 0.894 \dots (4)$$

式(4)における検出遅延時間の詳細は、図3をご参照下さい。

例)  $V_{IN} = V_{DF} \times 1.1V \rightarrow V_{DF} \times 0.9V$ における遅延容量Cdを0.68μFとした時の検出遅延時間 $t_{DF}$ は、 $2.0 \times 10^6 \times 0.68 \times 10^{-6} \times 0.894 = 1216$ (ms)となります。

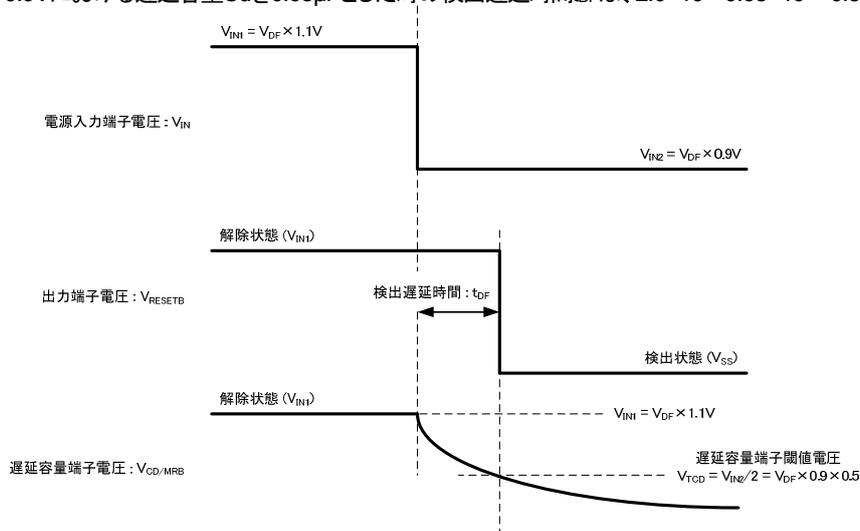


図 3: 式(4)における検出遅延時間 (タイミングチャート)

遅延時間表

遅延容量 Cd (μF)	解除遅延時間 $t_{DR}$ (ms) <sup>(*)</sup>		検出遅延時間 $t_{DF}$ (ms) <sup>(*)</sup>	
	TYP.	MIN. ~ MAX. <sup>(**)</sup>	TYP.	MIN. ~ MAX. <sup>(**)</sup>
0.01	13.9	10.4 ~ 17.7	17.9	12.7 ~ 22.0
0.022	30.5	22.9 ~ 38.9	39.3	28.0 ~ 48.4
0.047	65.1	48.9 ~ 83.0	84.0	59.8 ~ 103.3
0.1	139	104 ~ 177	179	127 ~ 220
0.22	305	229 ~ 389	393	280 ~ 484
0.47	651	489 ~ 830	840	598 ~ 1033
1	1386	1042 ~ 1766	1788	1274 ~ 2198

解除遅延時間の値は式(2)より求めた計算値となります。

検出遅延時間の値は式(4)より求めた計算値となります。

(\*) 遅延時間は遅延容量 Cd の実容量値により変わりますのでご注意ください。

(\*\*) 遅延抵抗、遅延容量端子閾値電圧のばらつきを考慮した計算値となります。

## ■動作説明

### <マニュアルリセット機能>

解除状態時に遅延容量端子に電圧を入力する事で強制的にリセット出力端子の信号を検出状態にすることができます。  
遅延容量端子電圧の入力がH→Lレベル信号に達した場合、リセット出力端子はH→Lレベル信号を出力します。

(RESETB: Active Lowタイプ)

遅延容量端子電圧の入力がH→Lレベル信号に達した場合、リセット出力端子はL→Hレベル信号を出力します。

(RESET: Active Highタイプ)

検出時にリセットスイッチをON/OFFしてもリセット出力端子は検出状態を保持します。

リセットスイッチを使用せずにCd/MRB端子にMRB HレベルまたはMRB Lレベルの電圧を印加して使用する場合、  
図4のタイミングチャートの動作となります。

検出時にMRB Lレベルの電圧を印加した場合リセット出力端子は検出状態を保持します。

検出時にMRB Hレベルの電圧を印加した場合リセット出力端子は不定となります。

$V_{IN}$ 電圧を解除状態から検出状態に推移してもCd/MRB端子電圧がHレベルである場合、リセット信号は解除状態を保持し、Cd/MRB端子電圧がCd端子の閾値電圧( $V_{TCd}$ )まで解除状態を保持します。

遅延容量Cdを接続した状態でCd/MRB端子に外部からHまたはL信号を入力しても遅延時間はつきません。

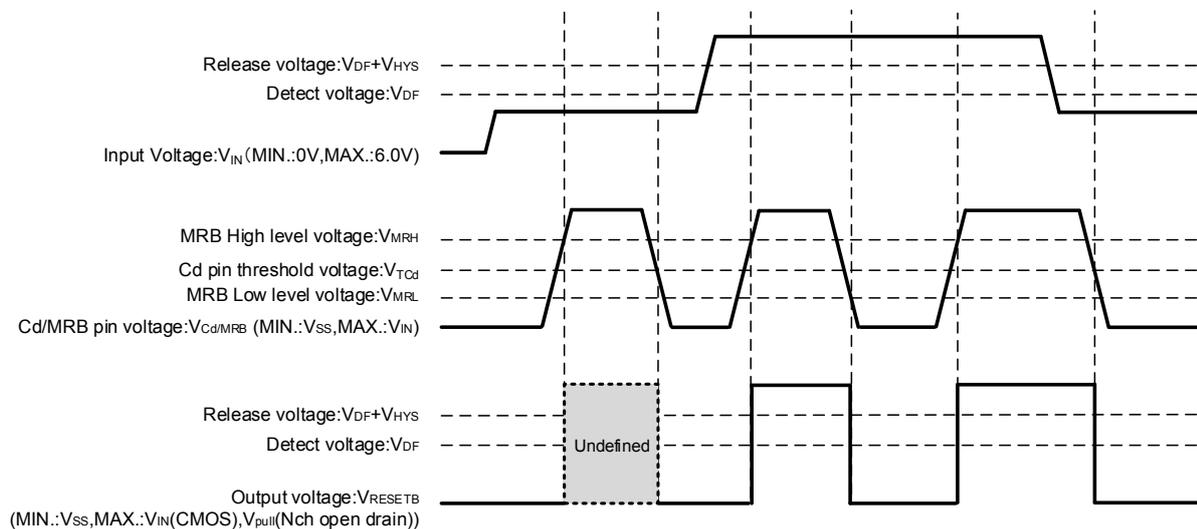


図 4: 遅延容量端子によるマニュアルリセット動作 (Active Low 品)

### <不定動作防止機能>

XC6129CシリーズB/D/Fタイプは、不定動作防止機能を搭載しています。

電源入力端子電圧が最低動作電圧未満において、不定動作による出力端子電圧を0.4V(MAX.)以下に抑えます。

\* XC6129C シリーズ A/C/E タイプ、及び、XC6129N シリーズには不定動作防止機能はありません。

## ■使用上の注意

- 1) 一時的、過渡的な電圧降下および電圧上昇等の現象について、絶対最大定格を超える場合には、劣化または破壊する可能性があります。
- 2) 電源-電源入力端子間の抵抗成分とIC動作時の貫通電流により電源入力端子電圧が低下します。  
CMOS出力の場合、出力電流でも同様に電源入力端子電圧の降下が起こります。この時、電源入力端子電圧が最低動作電圧を下回ると誤動作の原因となります。  
また、電源入力端子電圧が検出電圧を下回ると出力端子電圧が発振する可能性があります。電源入力端子に抵抗を接続してご使用になる場合は、特にご注意ください。
- 3) 電源入力端子電圧が急峻かつ大きく変動すると誤動作を起こす可能性がありますので、ご注意ください。
- 4) 電源ノイズは誤動作の原因となる事がありますので、 $V_{IN}$ -GND間にコンデンサを挿入するなど実機での評価を十分にして下さい。
- 5) 遅延容量端子にコンデンサを接続した状態で、解除動作時に電源入力端子電圧が急激に低下(例:6.0Vから0V)した場合、遅延容量端子電圧が絶対最大定格を超える可能性があります。解除動作時において電源入力端子電圧が急激に低下する事が想定される場合は、図5のように電源入力端子-遅延容量端子にショットキーダイオードを接続してご使用下さい。

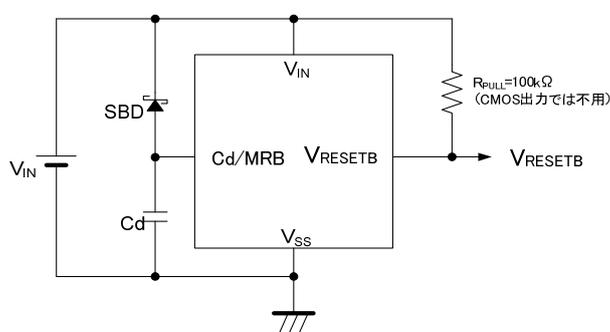


図 5: 遅延容量端子にショットキーダイオードを接続した回路例

- 6) Nchオープンドレイン出力の時、出力端子に接続するプルアップ抵抗によって検出時と解除時の $V_{RESETB}$ 電圧が決まります。  
以下の事柄を参照して抵抗値を選択して下さい。

### 【検出時】

$$V_{RESETB} = V_{pull} / (1 + R_{pull} / R_{ON})$$

$V_{pull}$ : プルアップ先の電圧

$R_{ON}^{(*)}$ : Nchドライバー-M3のON抵抗 (電気的特性より、 $V_{RESETB} / I_{rBOUT1}$ から算出)

計算例)  $V_{IN}=2.0V$ 時<sup>(2)</sup>  $R_{ON}=0.5/5.2 \times 10^{-3}=96\Omega$  (MAX.)となり、 $V_{pull}$ が $3.0V$ で検出時の $V_{RESETB}$ を $0.1V$ 以下に設定する場合、

$$R_{pull} = (V_{pull} / V_{RESETB} - 1) \times R_{ON} = (3 / 0.1 - 1) \times 96 \approx 2.8k\Omega$$

になるため上記条件で検出時の出力電圧を $0.1V$ 以下にする為には、プルアップ抵抗を $2.8k\Omega$ 以上にする必要があります。

<sup>(1)</sup>  $V_{IN}$ が小さいほど $R_{ON}$ は大きくなりますのでご注意ください。

<sup>(2)</sup>  $V_{IN}$ の選択はご使用になる入力電圧の範囲での最低値で計算して下さい。

### 【解除時】

$$V_{RESETB} = V_{pull} / (1 + R_{pull} / R_{off})$$

$V_{pull}$ : プルアップ先の電圧

$R_{off}$ : Nchドライバー-M3のOFF時抵抗値(電気的特性より、 $V_{RESETB} / I_{LEAK}$ から算出)

計算例)  $V_{pull}$ が $6.0V$ 時  $R_{off}=6 / (0.1 \times 10^{-6})=60M\Omega$  (MIN.)となり、 $V_{RESETB}$ を $5.99V$ 以上にする場合、

$$R_{pull} = (V_{pull} / V_{RESETB} - 1) \times R_{off} = (6 / 5.99 - 1) \times 60 \times 10^6 \approx 100k\Omega$$

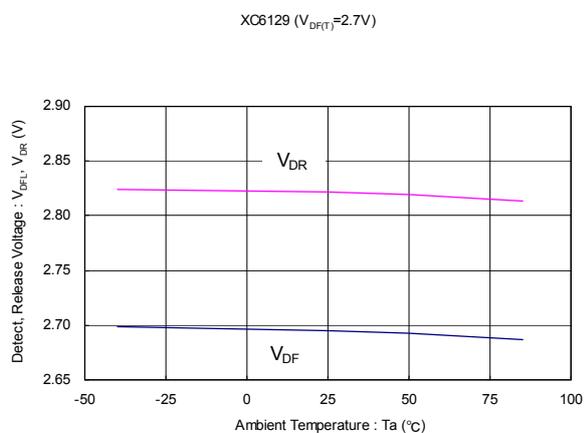
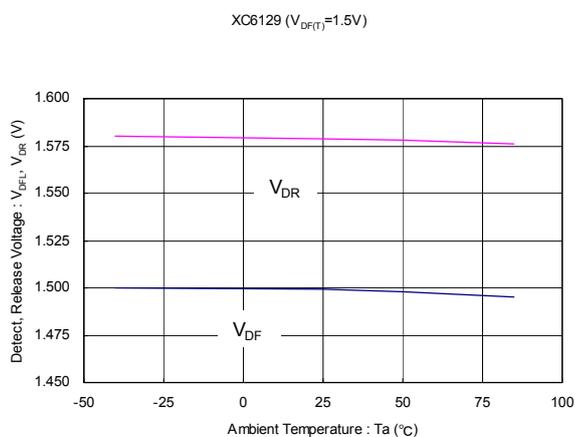
になるため上記条件で解除時の出力電圧を $5.99V$ 以上にする為にはプルアップ抵抗を $100k\Omega$ 以下にする必要があります。

## ■使用上の注意

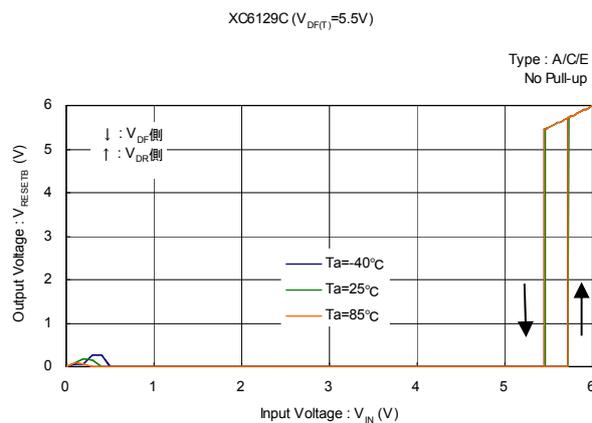
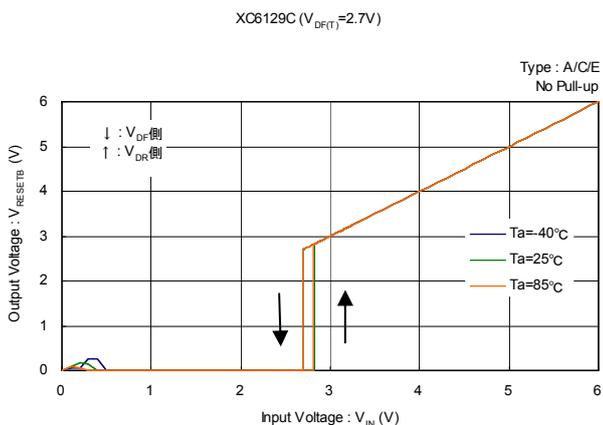
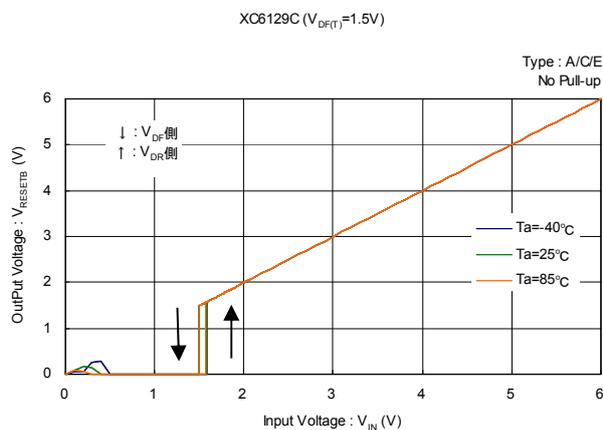
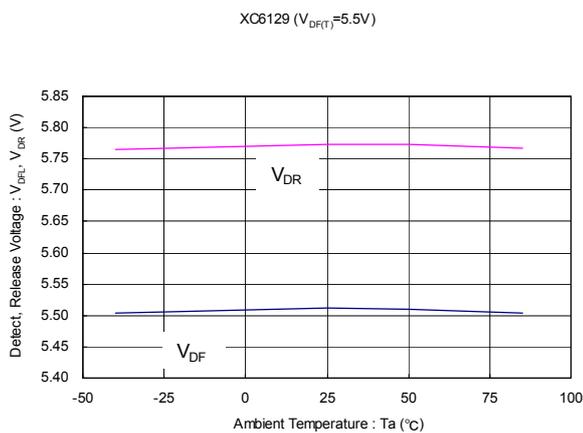
- 7) 検出時における遅延容量Cdの放電時間が短く、遅延容量Cdをグラウンドレベルまでディスチャージできない場合、次の解除動作では遅延容量Cdに電荷が残っている状態で充電となる為、解除遅延時間が著しく短くなる事があります。
- 8) 解除時における遅延容量 Cd の充電時間が短く、遅延容量 Cd を  $V_{IN}$  レベルまでチャージできない場合、次の検出動作では遅延容量 Cd が  $V_{IN}$  レベル未満から放電となる為、検出遅延時間が著しく短くなる事があります。
- 9) 遅延無しタイプにおいても、遅延容量 Cd を接続する事により遅延時間が付きます。
- 10) マニュアルリセットをかける際に、リセットスイッチを使用せずに Cd/MRB 端子に MRB H レベルまたは MRB L レベルの電圧を印加して使用する場合、以下の事項にご注意下さい。  
検出時に MRB H レベルの電圧を印加した場合、リセット出力端子は不定となります。  
また  $V_{IN}$  電圧と Cd/MRB 端子電圧のタイミングによっては出力が不定になる場合がありますのでご注意ください。
- 11) 当社では製品の改善、信頼性の向上に努めております。しかしながら、万が一のためにフェールセーフとなる設計およびエージング処理など、装置やシステム上で十分な安全設計をお願いします。

## ■ 特性例

### (1) Detect, Release Voltage vs. Ambient Temperature

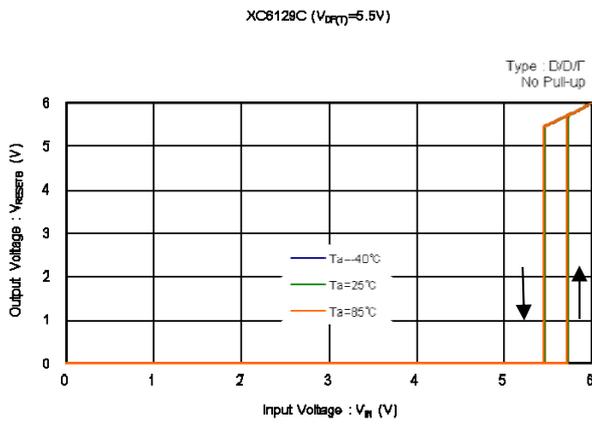
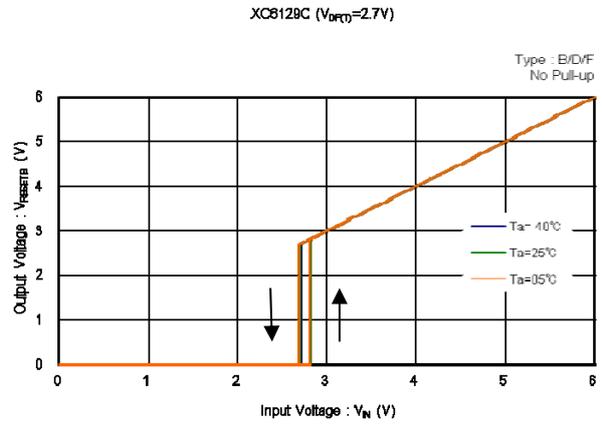
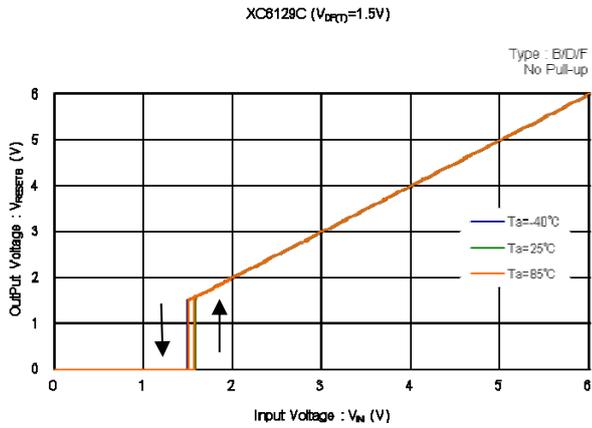


### (2) Detect, Release Voltage vs. Input Voltage

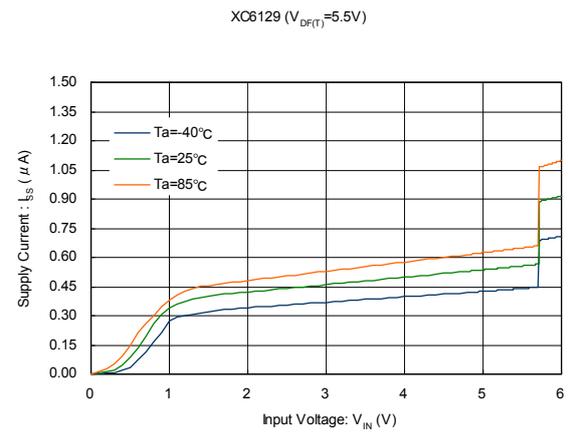
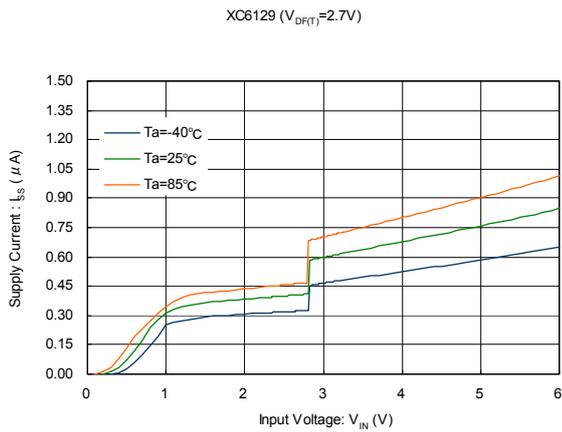
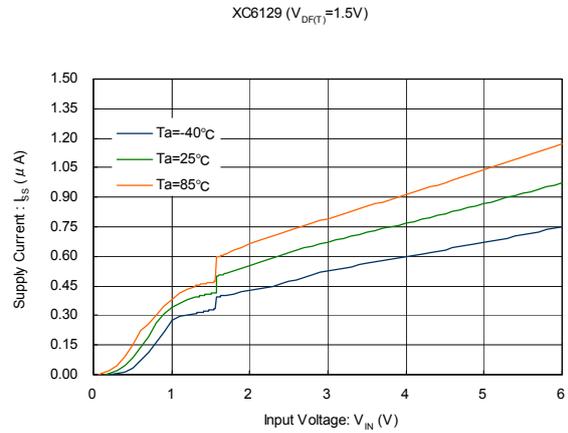


## ■ 特性例

### (2) Detect, Release Voltage vs. Input Voltage (Continued)

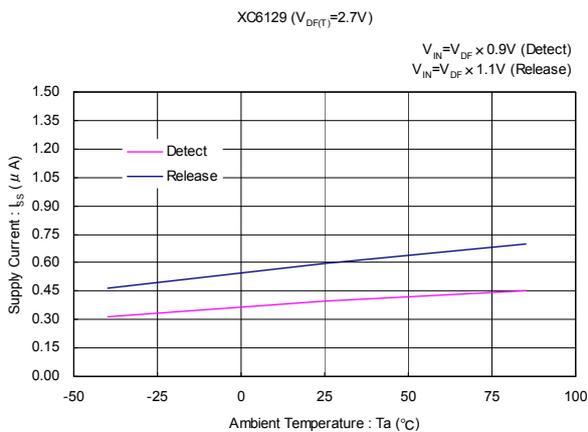
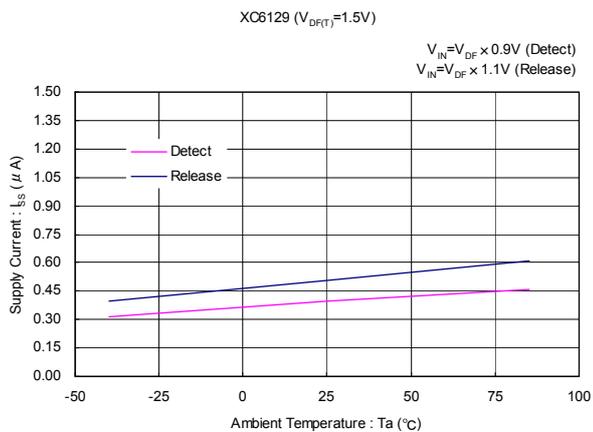


### (3) Supply Current vs. Input Voltage

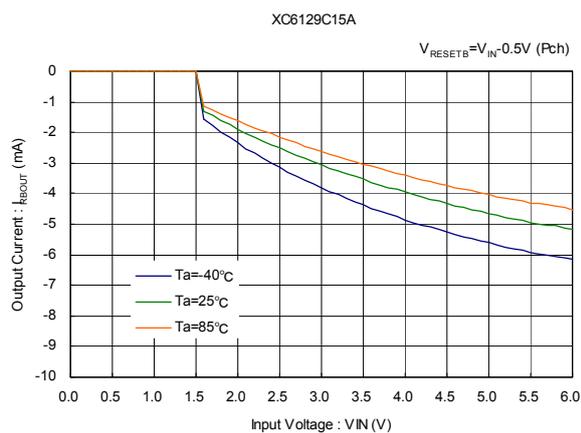
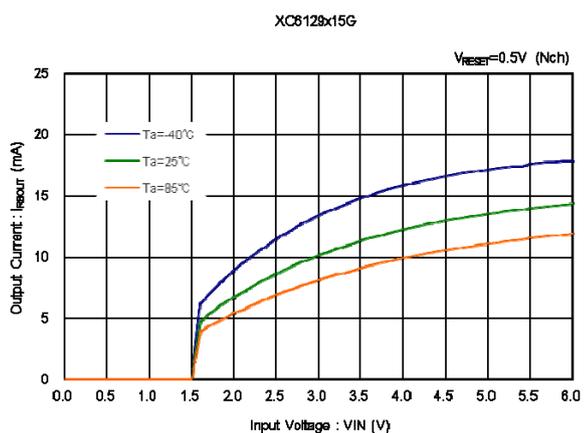
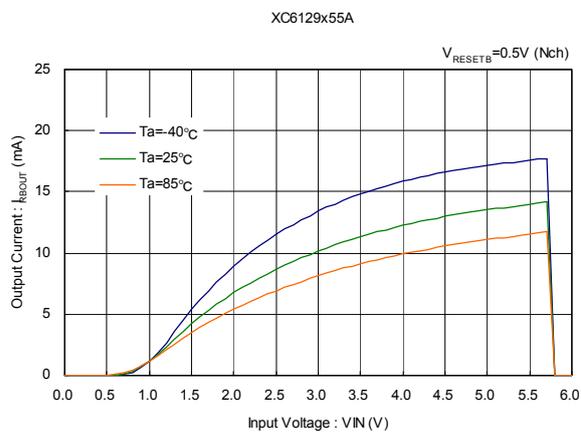
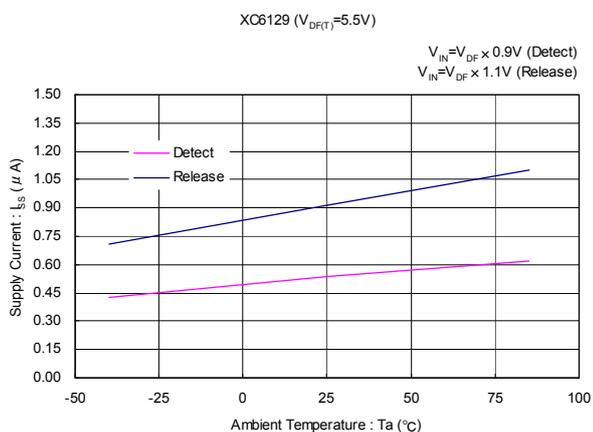


## ■ 特性例

### (4) Supply Current vs. Ambient Temperature

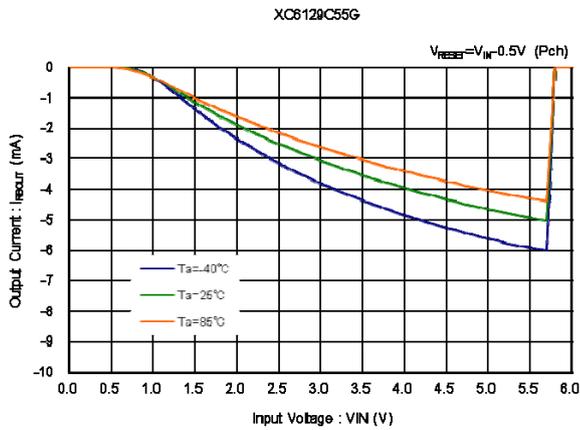


### (5) Output Current vs. Input Voltage

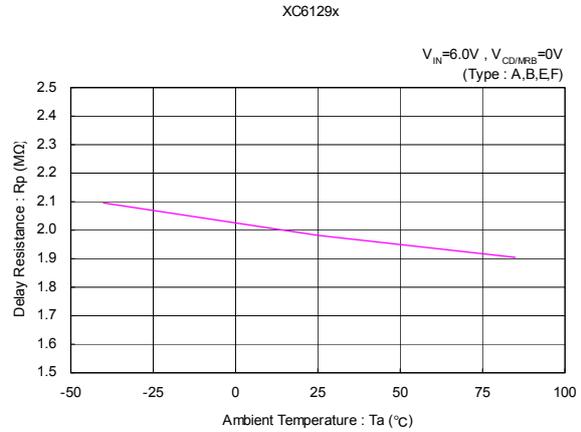


## ■ 特性例

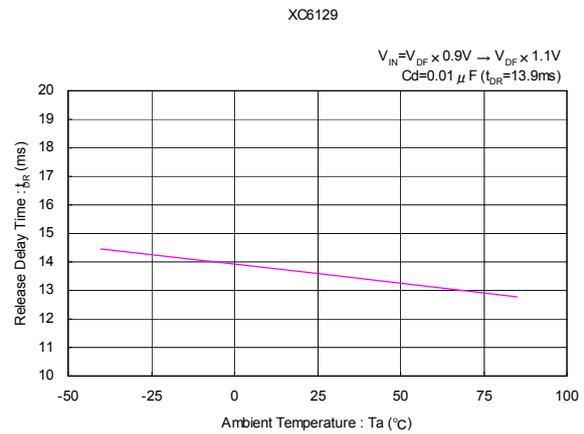
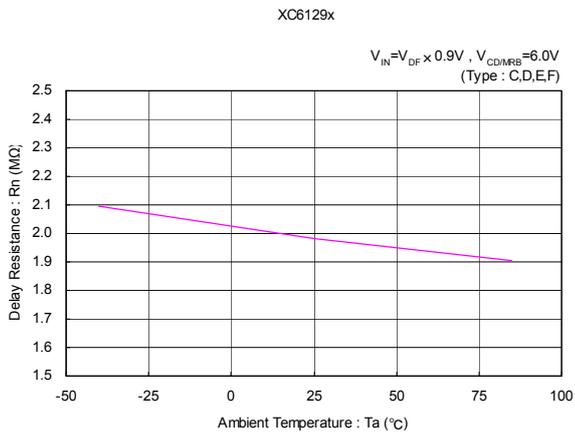
(5) Output Current vs. Input Voltage (Continued)



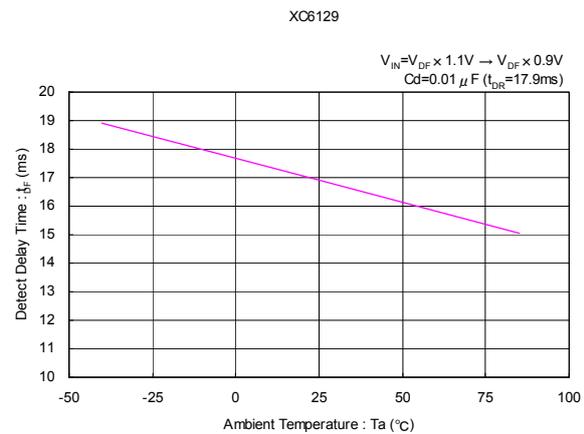
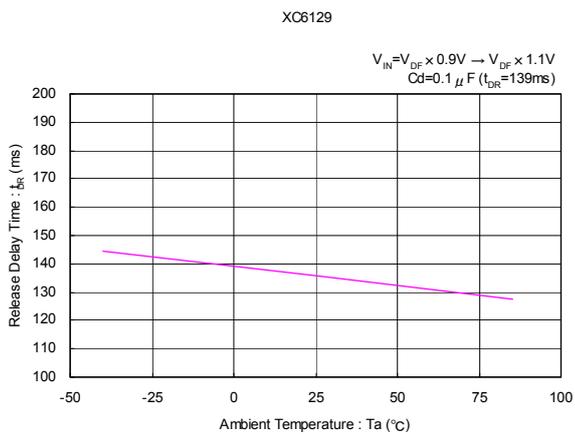
(6) Delay Resistance vs. Ambient Temperature



(7) Release Delay Time vs. Ambient Temperature

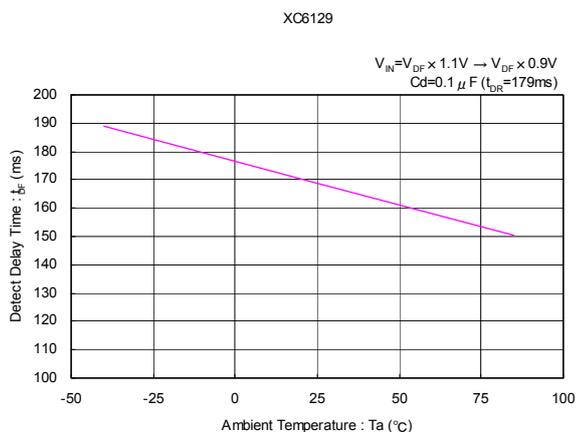


(8) Detect Delay Time vs. Ambient Temperature

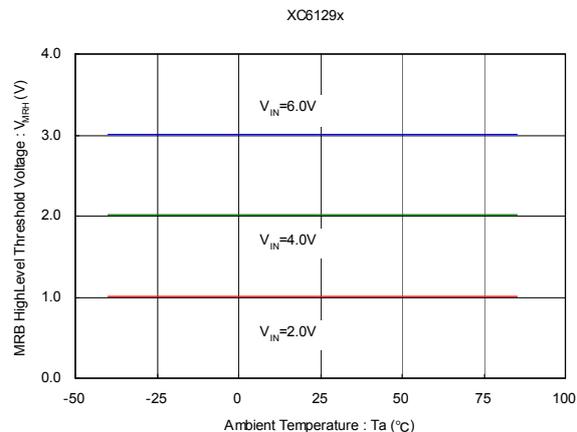


## ■ 特性例

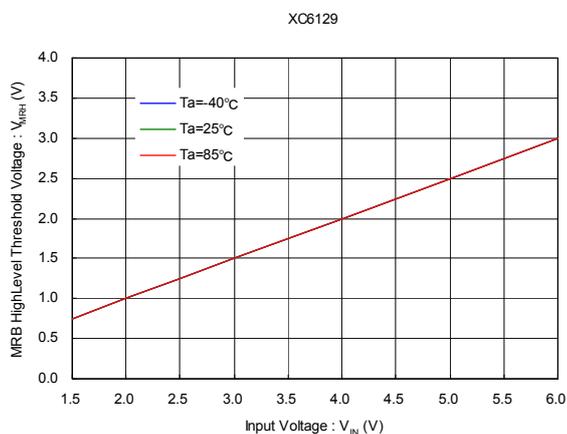
(8) Detect Delay Time vs. Ambient Temperature (Continued)



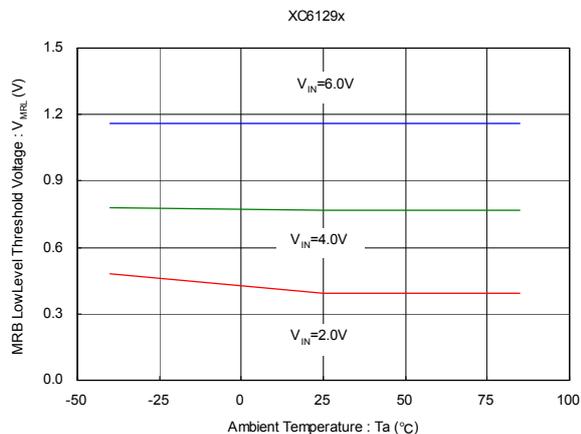
(9) Cd pin MRB High Level Voltage vs. Ambient Temperature



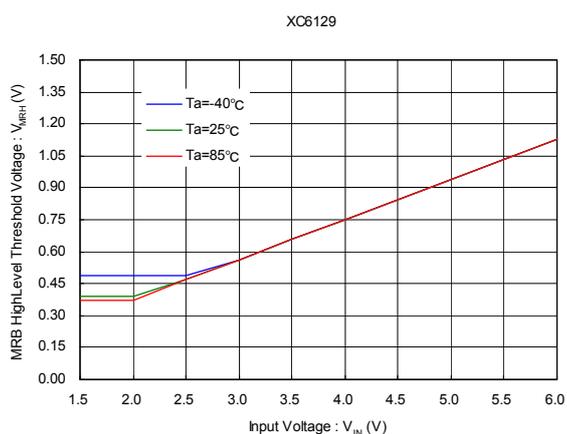
(10) Cd pin MRB High Level Voltage vs. Input Voltage



(11) Cd pin MRB Low Level Voltage vs. Ambient Temperature



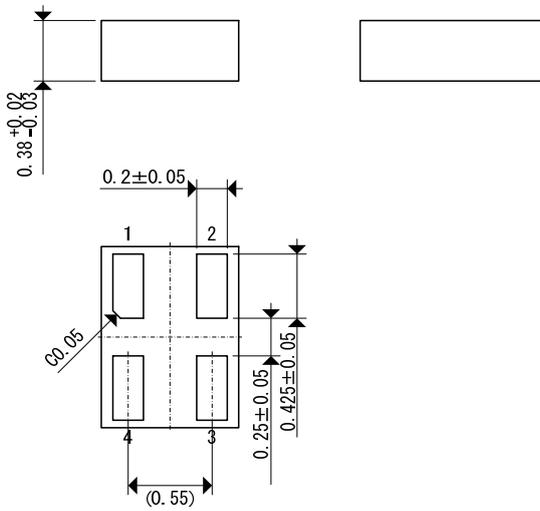
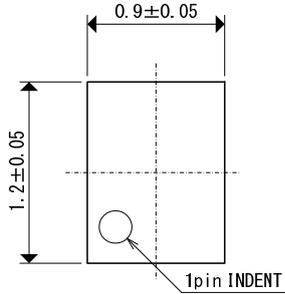
(12) Cd pin MRB Low Level Voltage vs. Input Voltage



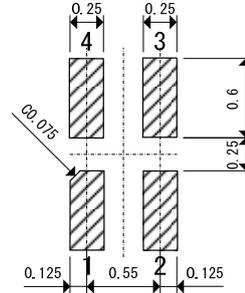
## ■外形寸法図

外形図 (unit : mm)

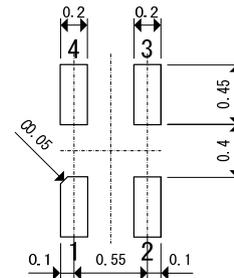
### ●USPN-4



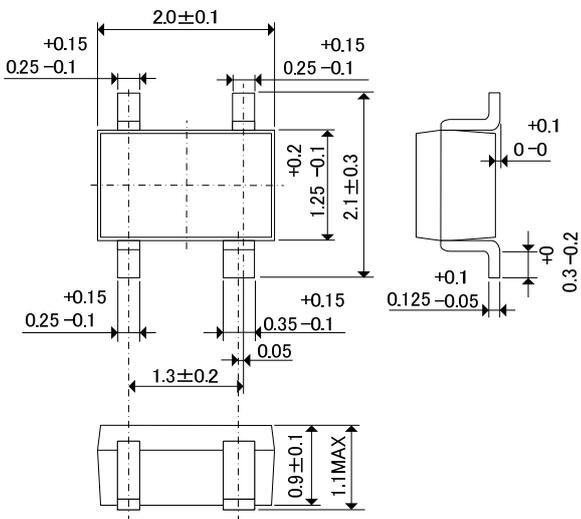
### ●USPN-4 参考パターンレイアウト



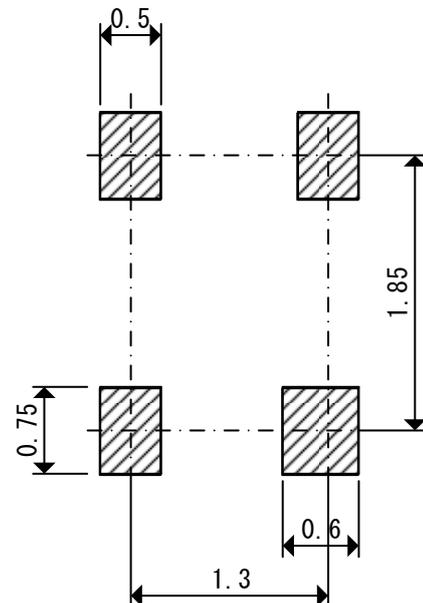
### ●USPN-4 参考メタルマスクデザイン



### ●SSOT-24



### ●SSOT-24 参考パターンレイアウト





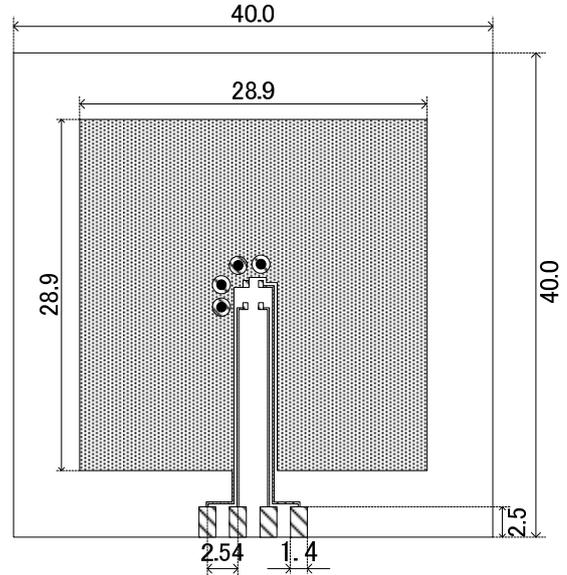
## ● SSOT-24パッケージ許容損失

SSOT-24パッケージにおける許容損失特性例となります。

許容損失は実装条件等に影響を受け値が変化するため、下記実装条件にての参考データとなります。

### 1.測定条件(参考データ)

- 測定条件: 基板実装状態
- 雰囲気: 自然対流
- 実装: Pbフリーはんだ
- 実装基板: 基板40mm × 40mm (片面1600mm<sup>2</sup>) に対して  
銅箔面積 表面 約50%-裏面 約50%
- 放熱板と周りの銅箔接続
- 基板材質: ガラスエポキシ (FR-4)
- 板厚: 1.6mm
- スルーホール: ホール径 0.8mm 4個

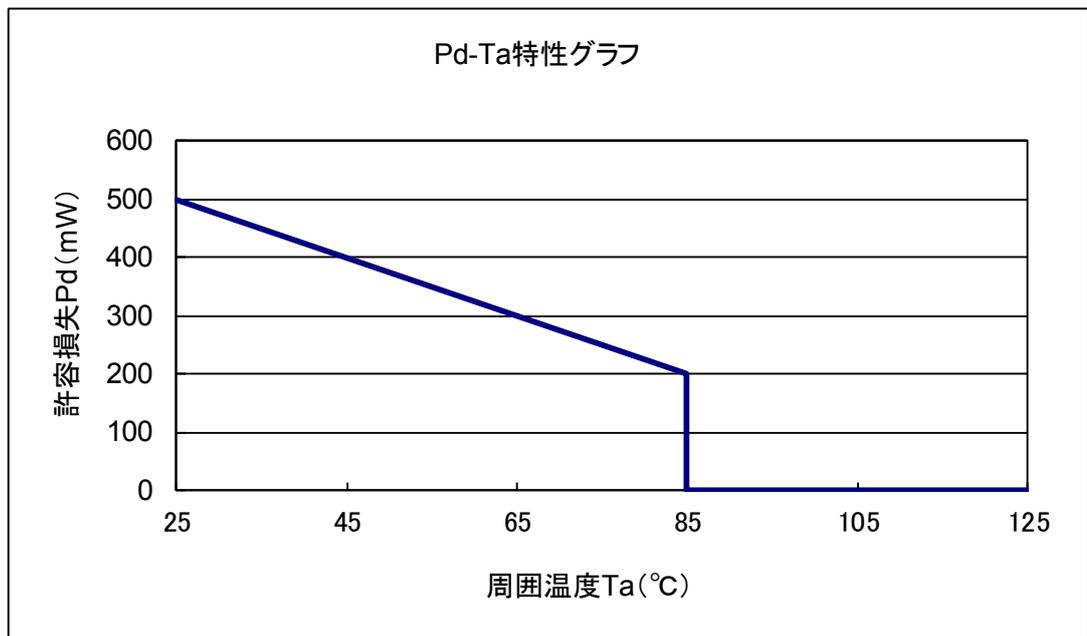


評価基板レイアウト(単位: mm)

### 2.許容損失-周囲温度特性

基板実装( $T_{jmax} = 125^{\circ}\text{C}$ )

周囲温度(°C)	許容損失Pd(mW)	熱抵抗(°C/W)
25	500	200.00
85	200	



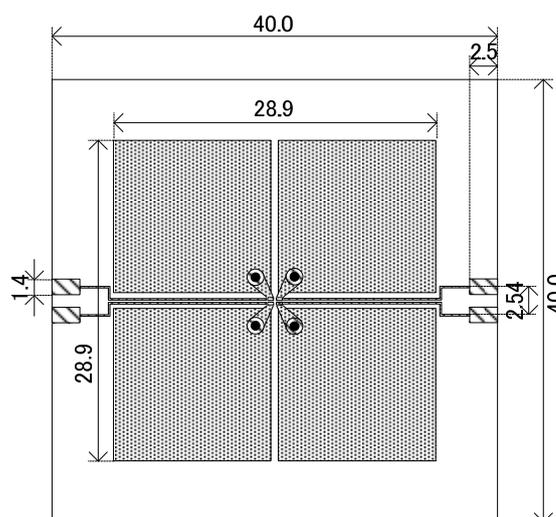
## ● USPN-4パッケージ許容損失

USPN-4パッケージにおける許容損失特性例となります。

許容損失は実装条件等に影響を受け値が変化するため、下記実装条件にての参考データとなります。

### 1.測定条件(参考データ)

- 測定条件: 基板実装状態
- 雰囲気: 自然対流
- 実装: Pbフリーはんだ
- 実装基板: 基板40mm×40mm(片面1600mm<sup>2</sup>)に対して銅箔面積 表面 約50%-裏面 約50%
- 各リードと銅箔接続  
(各リード 表面 約12.5%-裏面 約12.5%の銅箔と接続)
- 基板材質: ガラスエポキシ(FR-4)
- 板厚: 1.6mm
- スルーホール: ホール径 0.8mm 4個

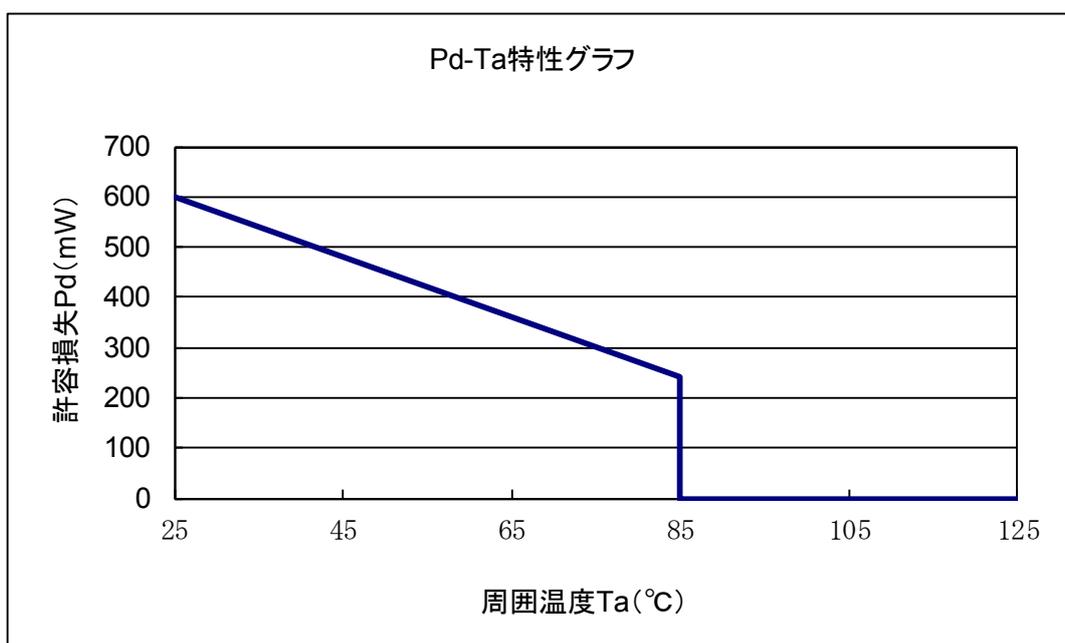


評価基板レイアウト(単位:mm)

### 2.許容損失-周囲温度特性

基板実装( $T_{jmax} = 125^{\circ}\text{C}$ )

周囲温度(°C)	許容損失Pd(mW)	熱抵抗(°C/W)
25	600	166.67
85	240	



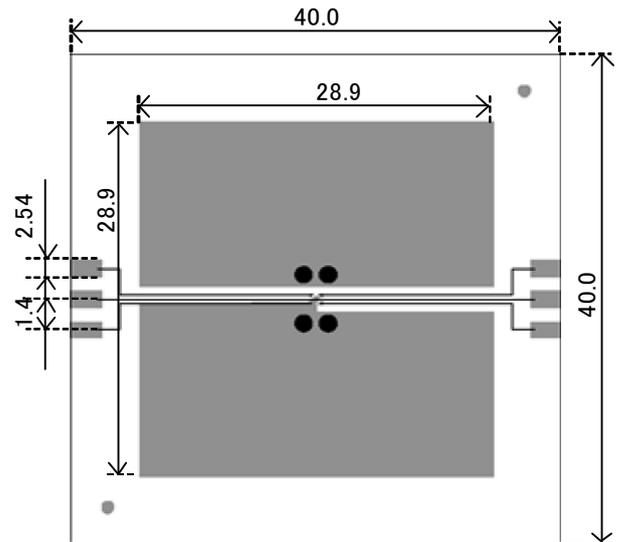
## ● USPQ-4B05パッケージ許容損失

USPQ-4B05パッケージにおける許容損失特性例となります。

許容損失は実装条件等に影響を受け値が変化するため、下記実装条件にての参考データとなります。

### 1.測定条件(参考データ)

- 測定条件: 基板実装状態
- 雰囲気: 自然対流
- 実装: Pbフリーはんだ
- 実装基板: 基板40mm × 40mm (片面1600mm<sup>2</sup>)  
 に対して銅箔面積  
 表面: 全体約50%\_放熱板、リード1と接続  
 内層1層目: 約50%\_放熱板、リード1と接続  
 内層2層目: 約50%\_放熱板、リード1と接続  
 裏面: 約50%\_放熱板、リード1と接続
- 基板材質: ガラスエポキシ (FR-4)
- 板厚: 1.6mm
- スルーホール: ホール径 0.8mm 4個

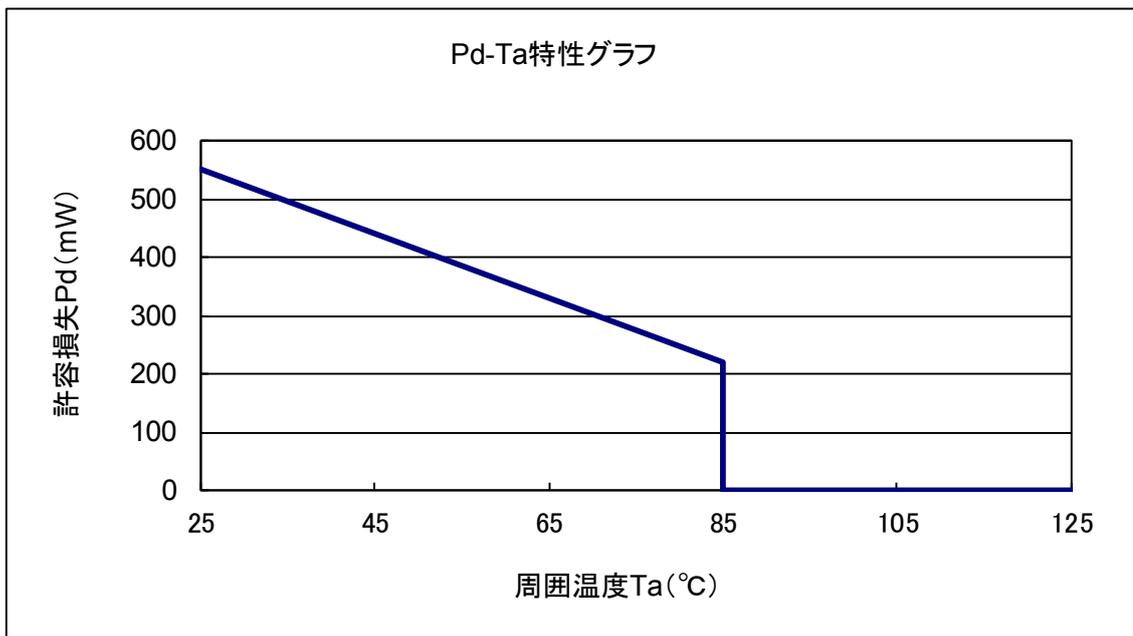


評価基板レイアウト(単位: mm)

### 2.許容損失-周囲温度特性

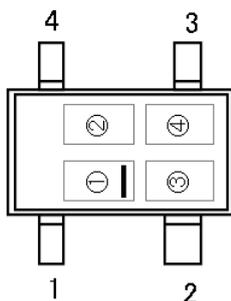
基板実装(Tjmax = 125°C)

周囲温度(°C)	許容損失Pd(mW)	熱抵抗(°C/W)
25	550	181.82
85	220	

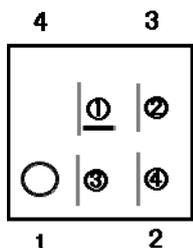


## ■マーキング

●SSOT-24(マーク下バー付)



●USPQ-4B05(マーク下バー付)



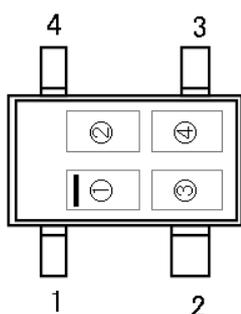
マーク① 製品シリーズを表す。検出電圧範囲、出力形態を表す。

マーク①-1 (XC6129C\*\*\*\*-G は、マーク下バー仕様)

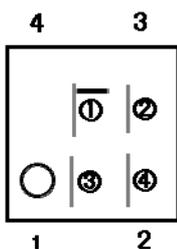
シンボル	出力形態	検出電圧範囲(V)	Type	品名表記例	
0	CMOS	奇数	A	XC6129C15A**-G ~ XC6129C55A**-G	
1			B	XC6129C15B**-G ~ XC6129C55B**-G	
2			C	XC6129C15C**-G ~ XC6129C55C**-G	
3			D	XC6129C15D**-G ~ XC6129C55D**-G	
4			E	XC6129C15E**-G ~ XC6129C55E**-G	
5			F	XC6129C15F**-G ~ XC6129C55F**-G	
6			G	XC6129C15G**-G ~ XC6129C55G**-G	
8			J	XC6129C15J**-G ~ XC6129C55J**-G	
A			L	XC6129C15L**-G ~ XC6129C55L**-G	
C			偶数	A	XC6129C16A**-G ~ XC6129C54A**-G
D				B	XC6129C16B**-G ~ XC6129C54B**-G
E				C	XC6129C16C**-G ~ XC6129C54C**-G
F				D	XC6129C16D**-G ~ XC6129C54D**-G
H				E	XC6129C16E**-G ~ XC6129C54E**-G
K				F	XC6129C16F**-G ~ XC6129C54F**-G
L				G	XC6129C16G**-G ~ XC6129C54G**-G
N	J	XC6129C16J**-G ~ XC6129C54J**-G			
R	L	XC6129C16L**-G ~ XC6129C54L**-G			

マーク①-2 (XC6129N\*\*\*\*-G は、マーク上バー仕様)

●SSOT-24(マーク上バー付)



●UPQ-4B05(マーク上バー付)



シンボル	出力形態	検出電圧範囲(V)	Type	品名表記例	
0	N-ch	奇数	A	XC6129N15A**-G ~ XC6129N55A**-G	
2			C	XC6129N15C**-G ~ XC6129N55C**-G	
4			E	XC6129N15E**-G ~ XC6129N55E**-G	
6			G	XC6129N15G**-G ~ XC6129N55G**-G	
8			J	XC6129N15J**-G ~ XC6129N55J**-G	
A			L	XC6129N15L**-G ~ XC6129N55L**-G	
C			偶数	A	XC6129N16A**-G ~ XC6129N54A**-G
E				C	XC6129N16C**-G ~ XC6129N54C**-G
H				E	XC6129N16E**-G ~ XC6129N54E**-G
L				G	XC6129N16G**-G ~ XC6129N54G**-G
N	J	XC6129N16J**-G ~ XC6129N54J**-G			
R	L	XC6129N16L**-G ~ XC6129N54L**-G			

## ■マーキング

マーク② 検出電圧を表す。

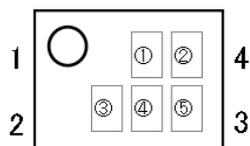
シンボル	検出電圧(V)		シンボル	検出電圧(V)		シンボル	検出電圧(V)	
A	1.5	1.6	K	2.9	3.0	T	4.3	4.4
B	1.7	1.8	L	3.1	3.2	U	4.5	4.6
C	1.9	2.0	M	3.3	3.4	V	4.7	4.8
D	2.1	2.2	N	3.5	3.6	X	4.9	5.0
E	2.3	2.4	P	3.7	3.8	Y	5.1	5.2
F	2.5	2.6	R	3.9	4.0	Z	5.3	5.4
H	2.7	2.8	S	4.1	4.2	0	5.5	-

マーク③,④

製造ロットを表す。01~09, 0A~0Z, 11~9Z, A1~A9, AA~AZ, B1~ZZ を繰り返す。  
(但し、G, I, J, O, Q, W は除く。反転文字は使用しない。)

## ■マーキング

### ●USPN-4



マーク① 出力形態を表す。

シンボル	出力形態	品名表記例
K	CMOS	XC6129C****-G
L	N-ch	XC6129N****-G

マーク② 検出電圧範囲及び製品シリーズを表す。

シンボル	検出電圧範囲(V)	Type	品名表記例
0	奇数	A	XC6129*15A**-G ~ XC6129*55A**-G
1		B	XC6129*15B**-G ~ XC6129*55B**-G
2		C	XC6129*15C**-G ~ XC6129*55C**-G
3		D	XC6129*15D**-G ~ XC6129*55D**-G
4		E	XC6129*15E**-G ~ XC6129*55E**-G
5		F	XC6129*15F**-G ~ XC6129*55F**-G
6		G	XC6129*15G**-G ~ XC6129*55G**-G
8		J	XC6129*15J**-G ~ XC6129*55J**-G
A		L	XC6129*15L**-G ~ XC6129*55L**-G
C		偶数	A
D	B		XC6129*16B**-G ~ XC6129*54B**-G
E	C		XC6129*16C**-G ~ XC6129*54C**-G
F	D		XC6129*16D**-G ~ XC6129*54D**-G
H	E		XC6129*16E**-G ~ XC6129*54E**-G
K	F		XC6129*16F**-G ~ XC6129*54F**-G
L	G		XC6129*16G**-G ~ XC6129*54G**-G
N	J		XC6129*16J**-G ~ XC6129*54J**-G
R	L		XC6129*16L**-G ~ XC6129*54L**-G

\*ただし、"B","D","F" Type の出力形態は CMOS のみ

マーク③ 検出電圧を表す。

シンボル	検出電圧(V)		シンボル	検出電圧(V)		シンボル	検出電圧(V)	
A	1.5	1.6	K	2.9	3.0	T	4.3	4.4
B	1.7	1.8	L	3.1	3.2	U	4.5	4.6
C	1.9	2.0	M	3.3	3.4	V	4.7	4.8
D	2.1	2.2	N	3.5	3.6	X	4.9	5.0
E	2.3	2.4	P	3.7	3.8	Y	5.1	5.2
F	2.5	2.6	R	3.9	4.0	Z	5.3	5.4
H	2.7	2.8	S	4.1	4.2	0	5.5	-

マーク④,⑤

製造ロットを表す。01~09, 0A~0Z, 11~9Z, A1~A9, AA~AZ, B1~ZZ を繰り返す。  
(但し、G, I, J, O, Q, W は除く。反転文字は使用しない。)

1. 本データシートに記載された内容(製品仕様、特性、データ等)は、改善のために予告なしに変更することがあります。製品のご使用にあたっては、その最新情報を当社または当社代理店へお問い合わせ下さい。
2. 本データシートに記載された内容は、製品の代表的動作及び特性を説明するものでありそれらの使用に関連して発生した第三者の知的財産権の侵害などに関し当社は一切その責任を負いません。又その使用に際して当社及び第三者の知的財産権の実施許諾を行うものではありません。
3. 本データシートに記載された製品或いは内容の情報を海外へ持ち出される際には、「外国為替及び外国貿易法」その他適用がある輸出関連法令を遵守し、必要な手続きを行って下さい。
4. 本製品は、1)原子力制御機器、2)航空宇宙機器、3)医療機器、4)車両・その他輸送機器、5)各種安全装置及び燃焼制御装置等々のように、その機器が生命、身体、財産等へ重大な損害を及ぼす可能性があるような非常に高い信頼性を要求される用途に使用されることを意図しておりません。これらの用途への使用は当社の事前の書面による承諾なしに使用しないで下さい。
5. 当社は製品の品質及び信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生します。故障のために生じる人身事故、財産への損害を防ぐためにも設計上のフェールセーフ、冗長設計及び延焼対策にご留意をお願いします。
6. 本データシートに記載された製品には耐放射線設計はなされていません。
7. 保証値を超えた使用、誤った使用、不適切な使用等に起因する損害については、当社では責任を負いかねますので、ご了承下さい。
8. 本データシートに記載された内容を当社の事前の書面による承諾なしに転載、複製することは、固くお断りします。

トレックス・セミコンダクター株式会社