

XC6133 シリーズ

JTR02030-003

センス端子分離 遅延容量外付けタイプ電圧検出器

■概要

XC6133 シリーズは超小型、高精度、センス端子分離、遅延容量外付けタイプ高精度電圧検出器です。CMOS プロセス、高精度基準電源、レーザートリミング技術の採用により高精度、低消費電流を実現しています。

センス端子と電源入力端子が分離されており、別電源の電圧を監視する事が可能で、監視する電源の電圧が 0V まで低下しても、出力を検出状態に保持する事が可能です。センス端子は高電圧を検出する場合にも適しており、外付け抵抗で任意の検出、解除電圧を設定することが可能です。

また遅延回路を内蔵しており Cd/MRB 端子に容量を接続する事によって、任意の解除遅延、検出遅延を持たせることが可能でマニュアルリセット端子としても使用可能です。

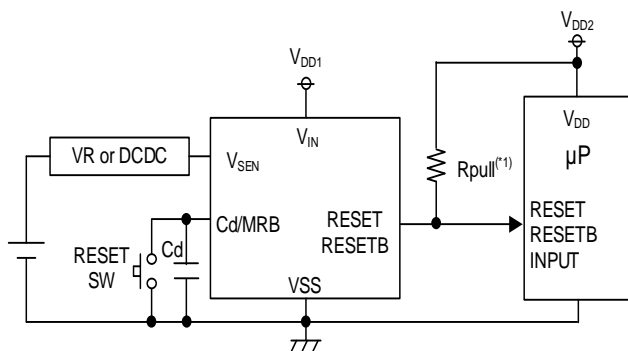
■用途

- マイコンのリセット及び誤動作監視
- バッテリー電圧の監視
- システムのパワーオンリセット
- 停電検出

■特長

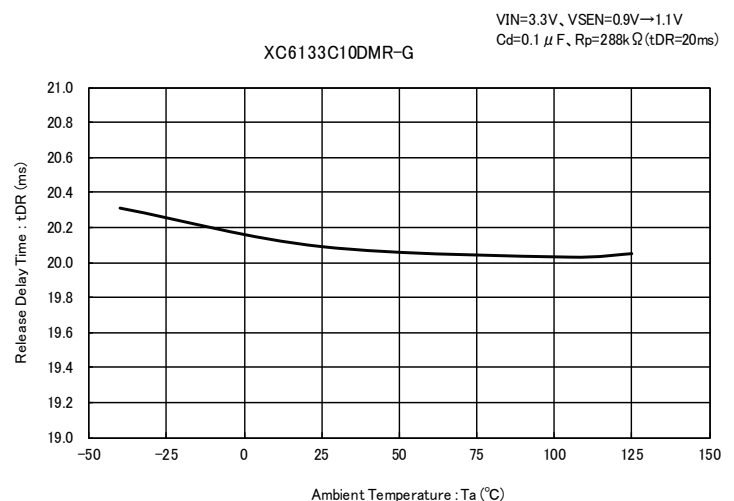
動作温度範囲	: -40°C ~ 125°C
動作電圧範囲	: 1.6V ~ 6.0V
検出電圧範囲	: 1.0V ~ 5.0V
検出電圧精度 (Ta=25°C)	: ±18mV (V _{DF} <1.5V) : ±1.2% (1.5V ≤ V _{DF} ≤ 3.0V) : ±1.5% (3.1V ≤ V _{DF} ≤ 5.0V)
検出電圧精度 (Ta=-40 ~ 125°C)	: ±36mV (V _{DF} <1.5V) : ±2.7% (1.5V ≤ V _{DF} ≤ 3.0V) : ±3.0% (3.1V ≤ V _{DF} ≤ 5.0V)
検出電圧温度特性	: ±50ppm/°C (TYP.)
ヒステリシス幅	: V _{DF} ×5.0% (TYP.)
低消費電流	: 1.28μA (TYP.) V _{IN} =1.6V (検出時) : 1.65μA (TYP.) V _{IN} =6.0V (解除時)
マニュアルリセット機能	: 有り (詳細は機能表参照)
出力形態	: CMOS or Nch オープンドレイン
出力論理	: 検出時 Hレベル or Lレベル
遅延容量端子付き	: 解除遅延/検出遅延設定可能 : 時間比は 5 パターン (詳細はセレクションガイド参照)
パッケージ	: USP-6C, SOT-26
環境への配慮	: EU RoHS 指令対応、鉛フリー

■代表標準回路



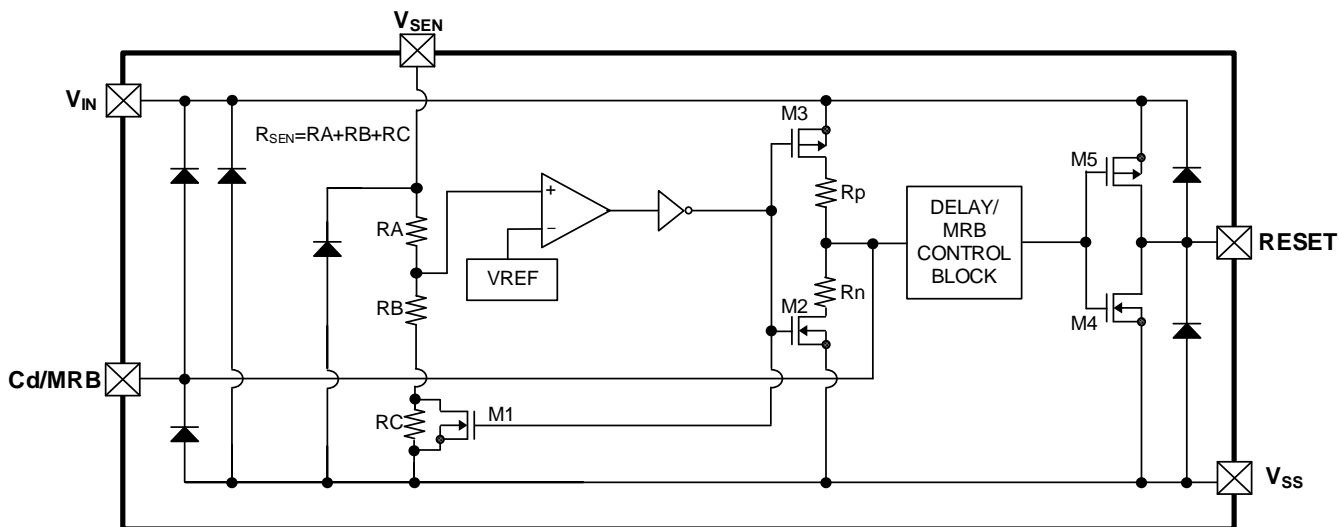
(*1.Unused for the CMOS output products)

■代表特性例



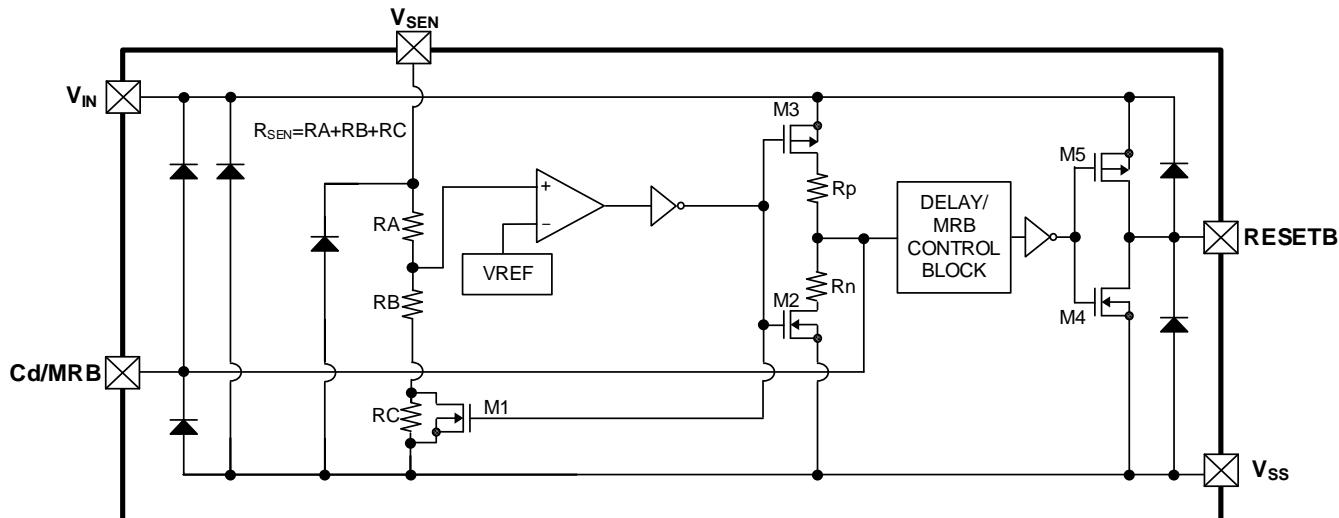
■ブロック図

(1)XC6133C シリーズ A/B/C/D/L タイプ(RESET OUTPUT:CMOS/Active High)



* 上図のダイオードは、静電保護用のダイオードと寄生ダイオードです。

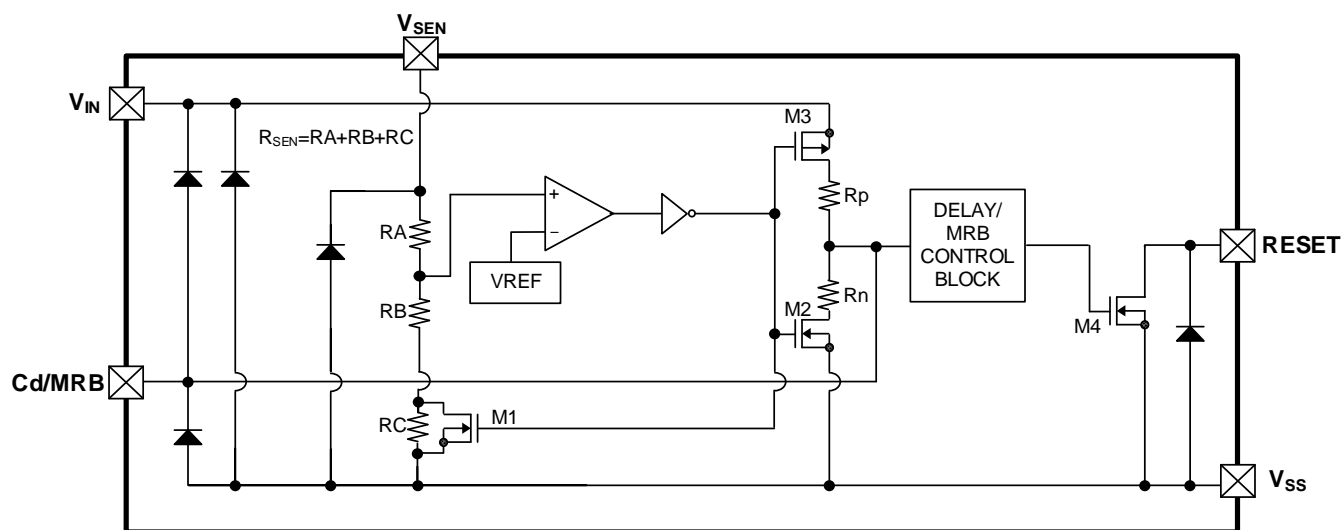
(2)XC6133C シリーズ E/F/H/K/M タイプ(RESETB OUTPUT:CMOS/Active Low)



* 上図のダイオードは、静電保護用のダイオードと寄生ダイオードです。

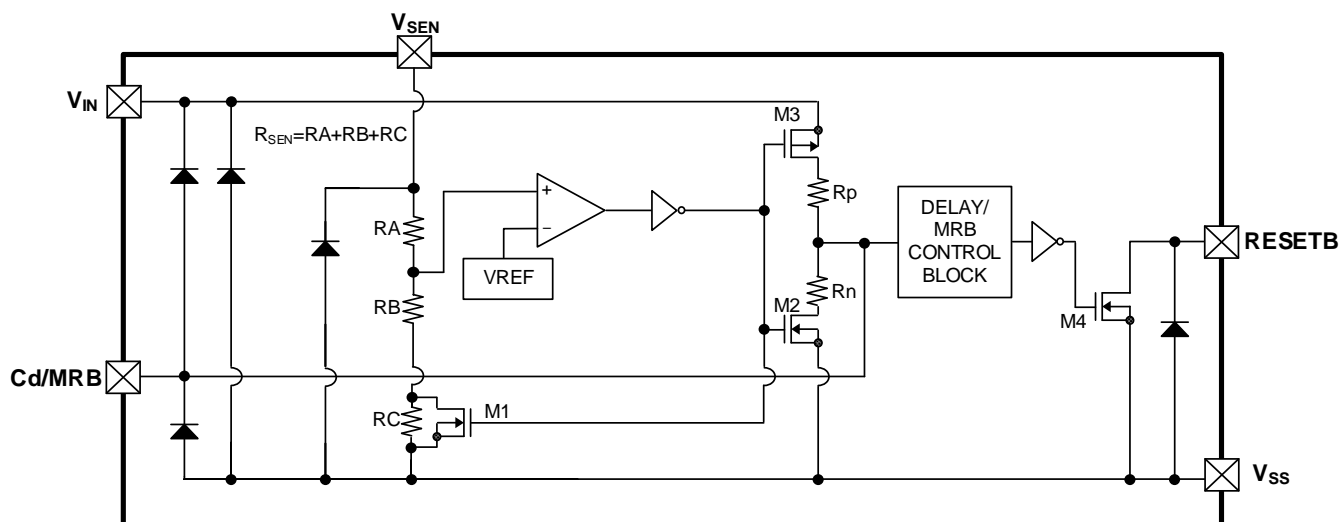
■ブロック図

(3)XC6133N シリーズ A/B/C/D/L タイプ(RESET OUTPUT:Nch open drain/Active High)



* 上図のダイオードは、静電保護用のダイオードと寄生ダイオードです。

(4)XC6133N シリーズ E/F/H/K/M タイプ(RESETB OUTPUT:Nch open drain/Active Low)



* 上図のダイオードは、静電保護用のダイオードと寄生ダイオードです。

■製品分類

●品番ルール

XC6133①②③④⑤⑥-⑦^(*)

DESIGNATOR	ITEM	SYMBOL	DESCRIPTION
①	Output Configuration	C	CMOS output
		N	Nch open drain output
②③	Detect Voltage	10 ~ 50	e.g. 1.0V → ②=1, ③=0
④	TYPE	A ~ M	Refer to Selection Guide
⑤⑥-⑦ ^(*)	Packages (Order Unit)	MR-G	SOT-26 (3,000pcs/Reel)
		ER-G	USP-6C (3,000pcs/Reel)

^(*)“-G”は、ハロゲン&アンチモンフリーかつ RoHS 対応製品です。

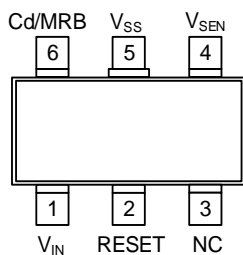
●セレクションガイド

TYPE	RESET/RESETB OUTPUT	DELAY(Rp:Rn)		HYSTERESIS
A	Active High ^(*)	1:0	144kΩ:0Ω	5.0%(TYP)
B	↑	1:0.125	144kΩ:18kΩ	↑
C	↑	1:1	144kΩ:144kΩ	↑
D	↑	2:1	288kΩ:144kΩ	↑
L	↑	0.076:1	11kΩ:144kΩ	↑
E	Active Low ^(*)	1:0	144kΩ:0Ω	↑
F	↑	1:0.125	144kΩ:18kΩ	↑
H	↑	1:1	144kΩ:144kΩ	↑
K	↑	2:1	288kΩ:144kΩ	↑
M	↑	0.076:1	11kΩ:144kΩ	↑

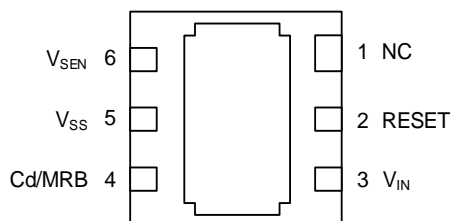
^(*)Active High は検出時 H レベル、Active Low は検出時 L レベルとなります。

■端子配列

●A/B/C/D/L タイプ

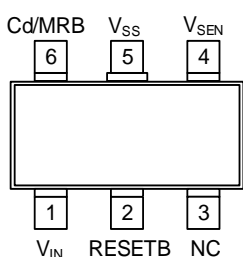


SOT-26
(TOP VIEW)

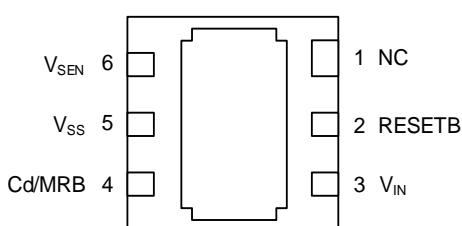


USP-6C
(BOTTOM VIEW)

●E/F/H/K/M タイプ



SOT-26
(TOP VIEW)



USP-6C
(BOTTOM VIEW)

*USP-6C の放熱板は実装強度強化および放熱の為、参考マウントパターンと参考メタルマスクではんだ付けを推奨しています。
尚、マウントパターンは V_{SS} 端子(5 番端子)へ接続して下さい。

■端子説明

PIN NUMBER		PIN NAME	FUNCTION
SOT-26	USP-6C		
1	3	V_{IN}	Power Input
2	2	RESETB	Reset Output (Active Low) ^(*)
		RESET	Reset Output (Active High) ^(*)
3	1	NC	No Connection
4	6	V_{SEN}	Voltage Sense
5	5	V_{SS}	Ground
6	4	Cd/MRB	Adjustable Pin for Delay Time/ Manual Reset

^(*)品番ルール④参照

XC6133 シリーズ

機能表

PIN NAME	SIGNAL	STATUS
Cd/MRB	L	Forced Reset
	H	For details, refer to " Function Chart "
	OPEN	Normal Operation

●Function Chart

$1.6V \leq V_{IN} \leq 6.0V$

V _{SEN}	V _{Cd/MRB}	Transition of V _{RESET} Condition	Transition of V _{RESETB} Condition
		TYPE:A/B/C/D/L	TYPE:E/F/H/K/M
V _{SEN} ≥ V _{DF} + V _{HYS}	V _{Cd/MRB} ≤ V _{MRL}	Reset (High Level) ^{(*)2}	Reset (Low Level) ^{(*)1}
	V _{Cd/MRB} ≥ V _{MRH}	Release (Low Level) ^{(*)1}	Release (High Level) ^{(*)2}
V _{SEN} ≤ V _{DF}	V _{Cd/MRB} ≤ V _{MRL}	Reset (High Level) ^{(*)2}	Reset (Low Level) ^{(*)1}
	V _{Cd/MRB} ≥ V _{MRH}	Undefined ^{(*)3}	Undefined ^{(*)3}

(*)1 CMOS 出力 : V_{IN}×0.1 以下、Nch オープンドレイン出力 : プルアップ電圧×0.1 以下となります。

(*)2 CMOS 出力 : V_{IN}×0.9 以上、Nch オープンドレイン出力 : プルアップ電圧×0.9 以上となります。

(*)3 詳細は動作説明 P16<マニュアルリセット機能>を参照下さい。

■絶対最大定格

T_a=25°C

PARAMETER	SYMBOL	RATINGS	UNITS
Input Voltage	V _{IN}	-0.3 ~ +7.0	V
V _{SEN} Pin Voltage	V _{SEN}	-0.3 ~ +7.0	V
Cd/MRB Pin Voltage	V _{Cd/MRB}	-0.3 ~ +V _{IN} +0.3 or +7.0 ^{(*)1}	V
Output Voltage	V _{RESETB} V _{RESET}	XC6133C ^{(*)2}	-0.3 ~ +V _{IN} +0.3 or +7.0 ^{(*)1}
		XC6133N ^{(*)3}	-0.3 ~ +7.0
Cd/MRB Pin Current	I _{Cd/MRB}	±5.0	mA
Output Current	I _{RBOUT} I _{ROUT}	XC6133C ^{(*)2}	±50
		XC6133N ^{(*)3}	+50
Power Dissipation	Pd	SOT-26	250
		USP-6C	600 (40mm x 40mm 標準基板) ^{(*)4}
			100
			1250 (JESD51-7 基板) ^{(*)4}
Operating Ambient Temperature	T _{opr}	-40 ~ +125	°C
Storage Temperature	T _{stg}	-55 ~ +125	°C

各電圧定格は V_{SS} を基準とする。

(*)1 最大値は V_{IN}+0.3 と +7.0 いずれか低い電圧になります。

(*)2 CMOS 出力

(*)3 Nch オープンドレイン出力

(*)4 板実装時の許容損失の参考データとなります。実装条件はパッケージインフォメーションをご参照下さい。

■電氣的特性

PARAMETER	SYMBOL	CONDITIONS	Ta=25°C			-40°C ≤ Ta ≤ 125°C ⁽⁵⁾			UNITS	CIRCUIT
			MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
Operating Voltage	V _{IN}		1.6		6.0	1.6		6.0	V	①
V _{SEN} Input Voltage	V _{SEN}		0		6.0	0		6.0	V	
Detect Voltage	V _{DF}	V _{DF(T)} ⁽¹⁾ =1.0V ~ 1.4V	V _{DF(T)} -18mV	V _{DF(T)}	V _{DF(T)} +18mV	V _{DF(T)} -36mV	V _{DF(T)}	V _{DF(T)} +36mV	V	
		V _{DF(T)} ⁽¹⁾ =1.5V ~ 3.0V	V _{DF(T)} ×0.988	V _{DF(T)}	V _{DF(T)} ×1.012	V _{DF(T)} ×0.973	V _{DF(T)}	V _{DF(T)} ×1.027	V	
		V _{DF(T)} ⁽¹⁾ =3.1V ~ 5.0V	V _{DF(T)} ×0.985	V _{DF(T)}	V _{DF(T)} ×1.015	V _{DF(T)} ×0.970	V _{DF(T)}	V _{DF(T)} ×1.030	V	
Temperature Characteristics	$\Delta V_{DF}/(\Delta T_{opr} \cdot V_{DF})$	-40°C ≤ T _{opr} ≤ 125°C	-	±50	-	-	±50	-	ppm/°C	
Hysteresis Width	V _{HYS}		V _{DF} ×0.03	V _{DF} ×0.05	V _{DF} ×0.07	V _{DF} ×0.02	V _{DF} ×0.05	V _{DF} ×0.08	V	
Supply Current 1	I _{ss1}	V _{SEN} =V _{DF} ×0.9V, V _{IN} =1.6V	-	1.28	2.65	-	1.28	3.92	μA	②
		V _{SEN} =V _{DF} ×0.9V, V _{IN} =6.0V	-	1.36	2.80	-	1.36	4.22		
Supply Current 2	I _{ss2}	V _{SEN} =V _{DF} ×1.1V, V _{IN} =1.6V	-	1.32	2.75	-	1.32	4.26		
		V _{SEN} =V _{DF} ×1.1V, V _{IN} =6.0V	-	1.65	3.25	-	1.65	4.97		
SENSE Resistance	R _{SEN}	V _{IN} =6.0V, V _{SEN} =6.0V	E-1 ⁽²⁾		-	E-2 ⁽²⁾		-	MΩ	③
Release Delay Resistance (TYPE:A/B/C/E/F/H)	R _p	V _{IN} =6.0V, V _{SEN} =6.0V, V _{Cd/MRB} =0V	130	144	158	122	144	166	kΩ	④
Release Delay Resistance (TYPE:D/K)		V _{IN} =6.0V, V _{SEN} =6.0V, V _{Cd/MRB} =0V	259	288	317	245	288	331		
Release Delay Resistance (TYPE:L/M)		V _{IN} =6.0V, V _{SEN} =6.0V, V _{Cd/MRB} =0V	8.3	11	18.4	7.6	11	20.0		
Detect Delay Resistance (TYPE:C/D/H/K/L/M)	R _n	V _{IN} =6.0V, V _{SEN} =0V, V _{Cd/MRB} =6.0V	130	144	158	122	144	166		
Detect Delay Resistance (TYPE:B/F)		V _{IN} =6.0V, V _{SEN} =0V, V _{Cd/MRB} =6.0V	16.8	18	19.1	16.2	18	19.8		
Release Delay Time ⁽³⁾	t _{DR0}	V _{IN} =6.0V, V _{SEN} =V _{DF} ×0.9V → V _{DF} ×1.1V	-	20	102	-	20	136		
Detect Delay Time ⁽⁴⁾	t _{DF0}	V _{IN} =6.0V, V _{SEN} =V _{DF} ×1.1V → V _{DF} ×0.9V	-	20	82	-	20	116		

測定条件: Cd/MRB 端子の規定がない場合、オープンとする。

⁽¹⁾ V_{DF(T)}: 設定検出電圧値。

⁽²⁾ V_{IN} 条件は SPEC TABLE(P.10)を参照下さい。

⁽³⁾ RESETB 品: V_{SEN} 端子電圧が解除電圧に達し、リセット出力端子が 5.4V (V_{IN}×90%) に達するまでの時間。

RESET 品: V_{SEN} 端子電圧が解除電圧に達し、リセット出力端子が 0.6V (V_{IN}×10%) に達するまでの時間。

解除電圧 (V_{DR}) = 検出電圧 (V_{DF}) + ヒステリシス幅 (V_{HYS})

⁽⁴⁾ RESETB 品: V_{SEN} 端子電圧が検出電圧に達し、リセット出力端子が 0.6V (V_{IN}×10%) に達するまでの時間。

RESET 品: V_{SEN} 端子電圧が検出電圧に達し、リセット出力端子が 5.4V (V_{IN}×90%) に達するまでの時間。

⁽⁵⁾ -40°C ≤ Ta ≤ 125°C の規格値は設計値となります。

XC6133 シリーズ

電气的特性

PARAMETER	SYMBOL	CONDITIONS	Ta=25°C			-40°C ≤ Ta ≤ 125°C ⁽⁷⁾			UNITS	CIRCUIT
			MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
RESETB Output Current	I _{RBOUTN}	V _{SEN} =V _{DF} ×0.9V, Nch. V _{RESETB} =0.3V							mA	⑥
		V _{IN} =1.6V	1.9	3.4	-	0.7	3.4	-		
		V _{IN} =2.0V	4.2	6.0	-	2.0	6.0	-		
		V _{IN} =3.0V	8.6	10.5	-	4.3	10.5	-		
		V _{IN} =4.0V	12.7	14.1	-	6.2	14.1	-		
		V _{IN} =5.0V	15.6	17.0	-	7.3	17.0	-		
	V _{IN} =6.0V	17.8	19.2	-	8.1	19.2	-			
	I _{RBOUTP}	V _{SEN} =V _{DF} ×1.1V, Pch. V _{RESETB} =V _{IN} - 0.3V								
		V _{IN} =1.6V	-	-1.2	-0.7	-	-1.2	-0.48		
		V _{IN} =3.0V	-	-3.0	-2.5	-	-3.0	-1.1		
V _{IN} =6.0V		-	-4.9	-4.4	-	-4.9	-2.5			
RESET Output Current	I _{ROUTN}	V _{SEN} =V _{DF} ×1.1V, Nch. V _{RESET} =0.3V							mA	⑥
		V _{IN} =1.6V	1.9	3.4	-	0.7	3.4	-		
		V _{IN} =2.0V	4.2	6.0	-	2.0	6.0	-		
		V _{IN} =3.0V	8.6	10.5	-	4.3	10.5	-		
		V _{IN} =4.0V	12.7	14.1	-	6.2	14.1	-		
		V _{IN} =5.0V	15.6	17.0	-	7.3	17.0	-		
	V _{IN} =6.0V	17.8	19.2	-	8.1	19.2	-			
	I _{ROUTP}	V _{SEN} =V _{DF} ×0.9V, Pch. V _{RESET} =V _{IN} -0.3V								
		V _{IN} =1.6V	-	-1.2	-0.7	-	-1.2	-0.48		
		V _{IN} =3.0V	-	-3.0	-2.5	-	-3.0	-1.1		
V _{IN} =6.0V		-	-4.9	-4.4	-	-4.9	-2.5			
RESETB Output Leakage Current	I _{LEAKN} ⁽⁶⁾	V _{IN} =6.0V, V _{SEN} =6.0V, Nch. V _{RESETB} =6.0V	-	0.01	0.1	-	0.01	1.0	μA	⑥
	I _{LEAKP}	V _{IN} =6.0V, V _{SEN} =0V, Pch. V _{RESETB} =0V	-	-0.01	-	-	-0.01	-		
RESET Output Leakage Current	I _{LEAKN} ⁽⁶⁾	V _{IN} =6.0V, V _{SEN} =0V, Nch. V _{RESET} =6.0V	-	0.01	0.1	-	0.01	1.0	μA	⑥
	I _{LEAKP}	V _{IN} =6.0V, V _{SEN} =6.0V, Pch. V _{RESET} =0V	-	-0.01	-	-	-0.01	-		

測定条件: Cd/MRB 端子がない場合、オープンとする。

⁽⁶⁾ MAX 値については XC6133N(Nch オープンドレイン出力)の製品が対象となります。

⁽⁷⁾ -40°C ≤ Ta ≤ 125°Cの規格値は設計値となります。

■電気的特性

PARAMETER	SYMBOL	CONDITIONS	Ta=25°C			-40°C ≤ Ta ≤ 125°C ⁽¹¹⁾			UNITS	CIRCUIT
			MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
Cd Pin Sink Current (TYPE:A/E)	I _{Cd}	V _{IN} =1.6V, V _{Cd/MRB} =0.5V, V _{SEN} =0V	0.92	1.2		0.66	1.2		mA	⑦
Cd Pin Threshold Voltage(Release)	V _{TCd1}	V _{IN} :1.6V ~ 6.0V, V _{SEN} =0V → V _{DF} × 1.1V	V _{IN} × 0.46	V _{IN} × 0.5	V _{IN} × 0.54	V _{IN} × 0.46	V _{IN} × 0.5	V _{IN} × 0.54	V	⑧
Cd Pin Threshold Voltage(Detect)	V _{TCd2}	V _{IN} :1.6V ~ 6.0V, V _{SEN} =V _{DF} × 1.1V → 0V								
MRB High Level Voltage	V _{MRH}	V _{IN} :1.6V ~ 6.0V, V _{SEN} =V _{DF} × 1.1V	V _{IN} × 0.55		V _{IN}	V _{IN} × 0.55		V _{IN}	V	⑨
MRB Low Level Voltage	V _{MRL}	V _{IN} :1.6V ~ 6.0V, V _{SEN} =V _{DF} × 1.1V	0		V _{IN} × 0.18	0		V _{IN} × 0.18	V	
MRB Minimum Pulse Width	t _{MRIN} ⁽⁸⁾	V _{IN} :Refer to V-1 ⁽¹⁰⁾ , V _{SEN} =V _{DF} × 1.1V, Apply pulse from V _{DF} × 1.1V to 0V to the MRB pin.	5.0	-	-	5.0	-	-	μs	⑩
	t _{MRIN} ⁽⁹⁾		32.0	-	-	32.0	-	-		

測定条件: Cd/MRB 端子の規定がない場合、オープンとする。

⁽⁸⁾ CMOS 出力品の TYPE:A/B/C/D/L/E/F/H/K/M、Nch オープンドレイン品の TYPE:E/F/H/K/M が対象となります。

⁽⁹⁾ Nch オープンドレイン出力品の TYPE:A/B/C/D/L が対象となります。

⁽¹⁰⁾ V_{IN} 条件は SPEC TABLE(P.10)を参照下さい。

⁽¹¹⁾ -40°C ≤ Ta ≤ 125°C の規格値は設計値となります。

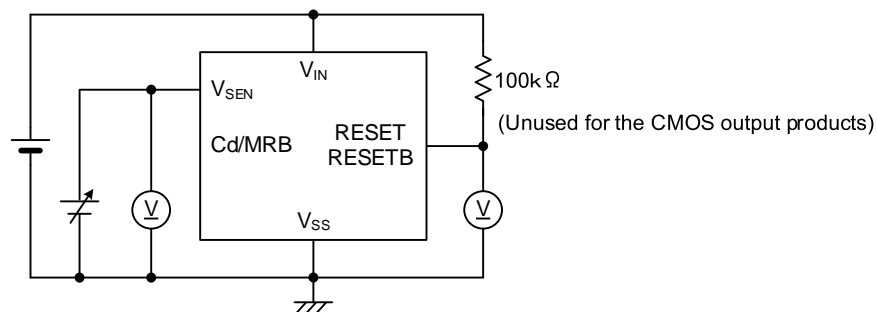
■電気的特性 (SPEC TABLE)

設定電圧別一覧表

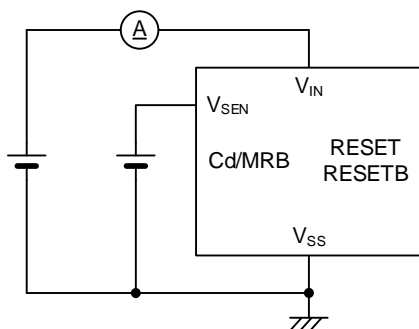
NOMINAL DETECT VOLTAGE(V)	E-1(Ta=25°C)		E-2(-40°C≤Ta≤125°C)		V-1
	SENSE Resistance(MΩ)		SENSE Resistance(MΩ)		INPUT VOLTAGE (V)
V _{DF(T)}	MIN.	TYP.	MIN.	TYP.	
1.0	4.2	13.5	3.5	13.5	1.6
1.1	4.9	14.9	4.0	14.9	↑
1.2	5.5	16.3	4.5	16.3	↑
1.3	6.1	17.7	4.9	17.7	↑
1.4	6.7	19.1	5.4	19.1	↑
1.5	7.4	20.5	5.8	20.5	V _{DF} ×1.1
1.6	8.0	21.8	6.3	21.8	↑
1.7	8.6	23.3	6.7	23.3	↑
1.8	9.2	24.7	7.2	24.7	↑
1.9	9.9	26.0	7.6	26.0	↑
2.0	10.5	27.5	8.1	27.5	↑
2.1	11.1	28.9	8.6	28.9	↑
2.2	18.0	38.3	12.1	38.3	↑
2.3	17.8	37.6	11.9	37.6	↑
2.4	17.5	37.0	11.8	37.0	↑
2.5	17.3	36.5	11.7	36.5	↑
2.6	17.1	36.0	11.5	36.0	↑
2.7	17.0	35.6	11.4	35.6	↑
2.8	16.8	35.2	11.3	35.2	↑
2.9	16.7	34.9	11.2	34.9	↑
3.0	16.5	34.5	11.1	34.5	↑
3.1	16.4	34.2	11.0	34.2	↑
3.2	16.3	34.0	11.0	34.0	↑
3.3	16.2	33.7	10.9	33.7	↑
3.4	16.1	33.5	10.8	33.5	↑
3.5	16.0	33.2	10.8	33.2	↑
3.6	15.9	33.0	10.7	33.0	↑
3.7	15.8	32.8	10.7	32.8	↑
3.8	15.7	32.6	10.6	32.6	↑
3.9	15.7	32.5	10.6	32.5	↑
4.0	15.6	32.3	10.5	32.3	↑
4.1	15.6	32.2	10.5	32.2	↑
4.2	15.5	32.0	10.5	32.0	↑
4.3	15.4	31.9	10.4	31.9	↑
4.4	15.4	31.8	10.4	31.8	↑
4.5	15.3	31.7	10.3	31.7	↑
4.6	15.3	31.5	10.3	31.5	↑
4.7	15.2	31.4	10.3	31.4	↑
4.8	15.2	31.3	10.2	31.3	↑
4.9	15.1	31.2	10.2	31.2	↑
5.0	15.1	30.1	10.2	30.1	↑

■測定回路図

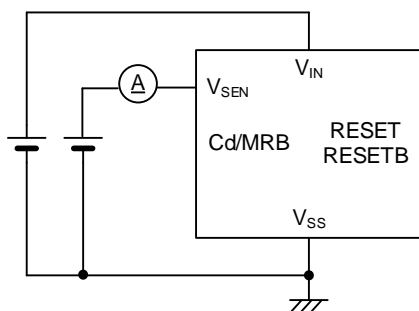
測定回路図①



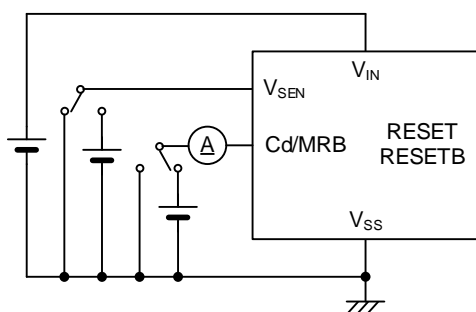
測定回路図②



測定回路図③



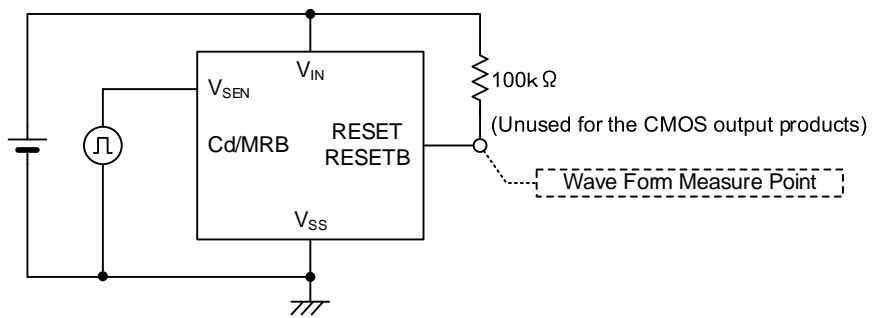
測定回路図④



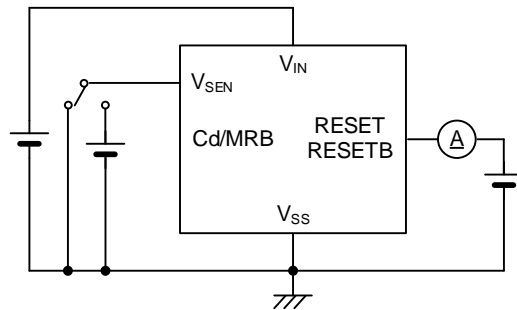
*RESET 品は A/B/C/D/L タイプ、RESETB 品は E/F/H/K/M タイプです。

■測定回路図

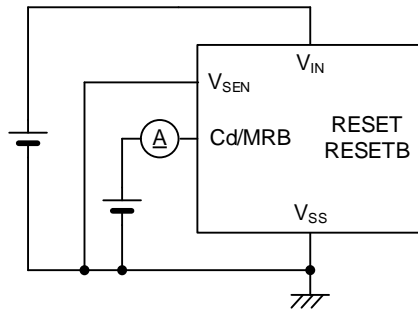
測定回路図⑤



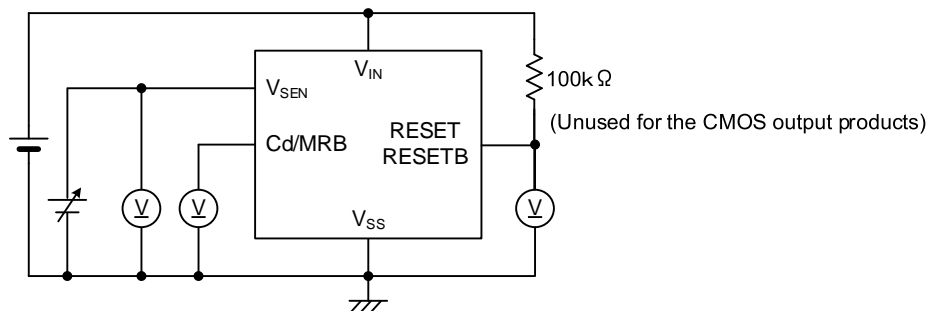
測定回路図⑥



測定回路図⑦



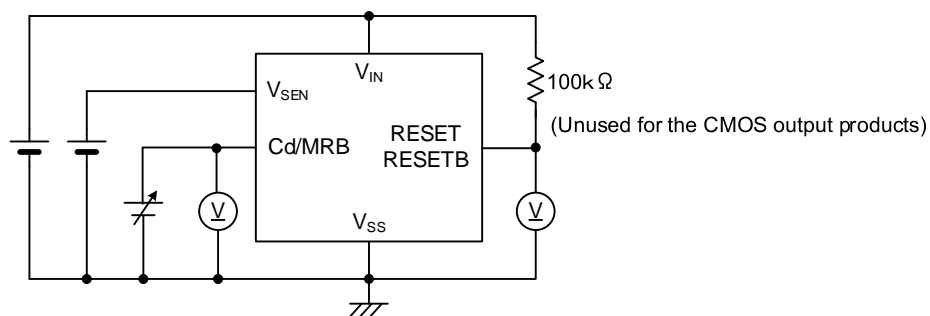
測定回路図⑧



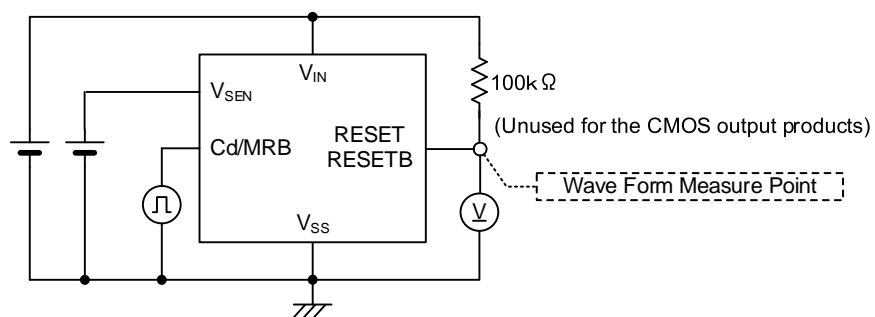
*RESET 品は A/B/C/D/L タイプ、RESETB 品は E/F/H/K/M タイプです。

■測定回路図

測定回路図⑨



測定回路図⑩

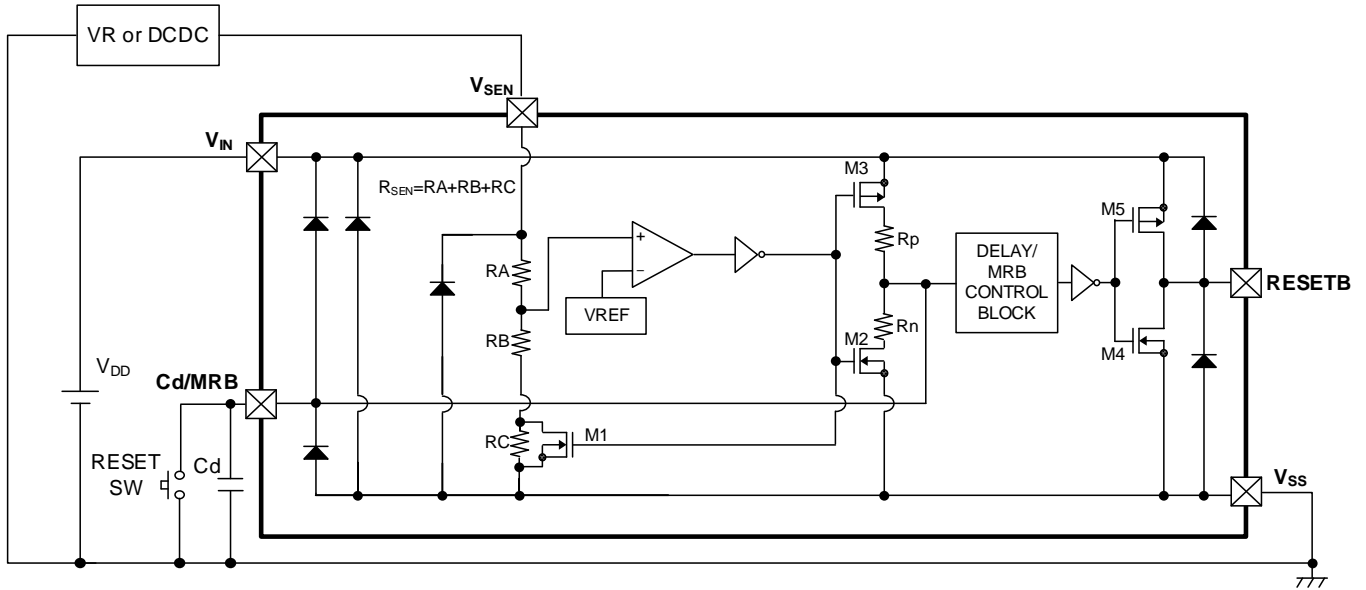


*RESET 品は A/B/C/D/L タイプ、RESETB 品は E/F/H/K/M タイプです。

■動作説明

<基本動作>

図 1 に代表的な回路例、図 2 に図 1 のタイミングチャートを示します。



注：XC6133N シリーズ(Nch オープンドレイン出力)では
出力をプルアップする為のプルアップ抵抗が必要です。

図 1.代表的な回路例(Active Low)

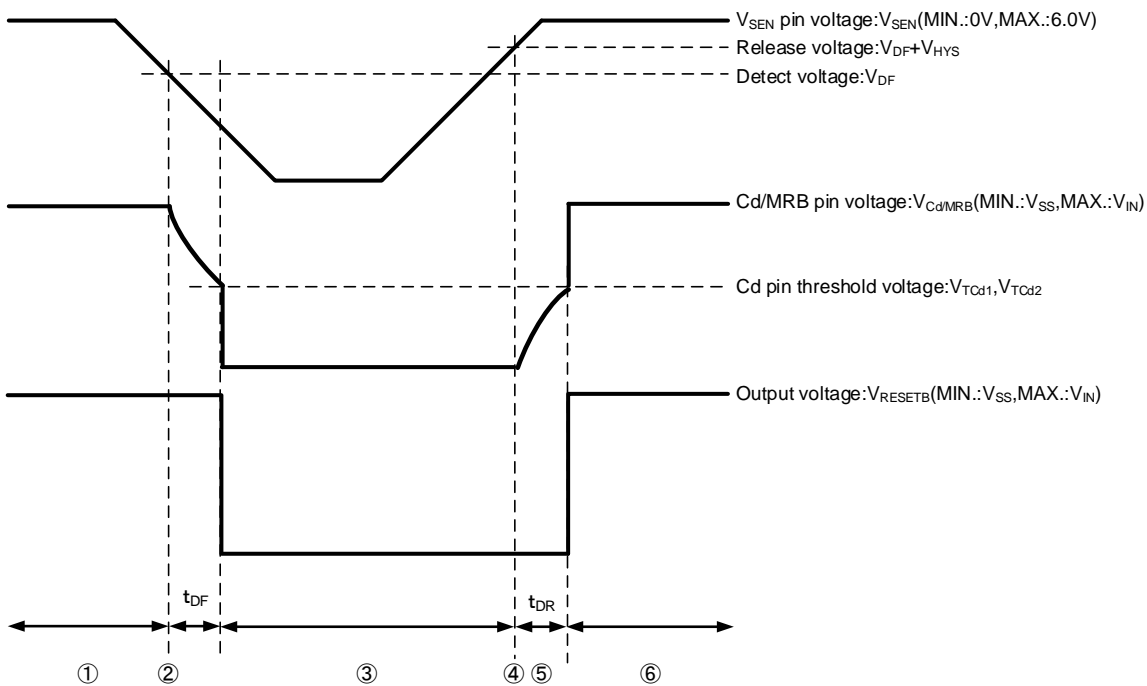


図 2.タイミングチャート($V_{IN}=6.0V$ 、Active Low)

■動作説明

①初期状態として V_{SEN} 端子には解除電圧に対して十分に高い電圧 (MAX.:6.0V) が印加されており、遅延容量 C_d は電源入力端子電圧までチャージされているものとします。

V_{SEN} 端子電圧が降下し始め、検出電圧に達するまでの間 ($V_{SEN} > V_{DF}$)、 V_{RESETB} は High レベル (= V_{IN}) となっています。

注: Nch オープンドレイン出力 (XC6133N) でプルアップ抵抗を電源入力端子 V_{IN} とは別の電源に接続する場合、High レベルはプルアップ抵抗を接続している電源の電圧値となります。

② V_{SEN} 端子電圧が降下し続け、検出電圧となった時 ($V_{SEN} = V_{DF}$)、遅延容量ディスチャージ用 Nch トランジスタが ON し、遅延抵抗 R_n を介して遅延容量 C_d のディスチャージを開始します。

$V_{SEN} = V_{DF}$ から、 V_{RESETB} が Low レベルになるまでの時間を検出遅延時間 t_{DF} (C_d /MRB 端子に容量を接続していない場合の検出時間を t_{DF0}) とします。遅延容量 C_d のディスチャージは V_{TCd2} の閾値電圧までは遅延抵抗 R_n にてディスチャージしますが V_{TCd2} の閾値電圧以下になると内部に内蔵された低インピーダンスのスイッチにて高速にディスチャージします。

③ V_{SEN} 端子電圧が検出電圧 V_{DF} 以下の間、遅延容量 C_d はグラウンドレベルまでディスチャージされ、 V_{SEN} 端子が再び上昇し、解除電圧に達するまでの間 ($V_{SEN} < V_{DF} + V_{HYS}$)、 V_{RESETB} は Low レベルを保持します。

④ V_{SEN} 端子電圧が上昇し続け、解除電圧 ($V_{DF} + V_{HYS}$) になった時、遅延容量ディスチャージ用 Nch トランジスタが OFF し、遅延抵抗 R_p を介して遅延容量 C_d のチャージを開始します。遅延容量 C_d のチャージは V_{TCd1} の閾値電圧までは遅延抵抗 R_p にてチャージしますが V_{TCd1} の閾値電圧以上になると内部に内蔵された低インピーダンスのスイッチにて高速にチャージします。

⑤ C_d /MRB 端子電圧が V_{TCd1} になった時、 V_{RESETB} は High レベルに変化します。

$V_{SEN} = V_{DF} + V_{HYS}$ から V_{RESETB} の論理が変化するまでの時間を解除遅延時間 t_{DR} (C_d /MRB 端子に容量を接続していない場合の解除時間を t_{DR0}) とします。

⑥ V_{SEN} 端子電圧が検出電圧より高い間 ($V_{SEN} > V_{DF}$)、 V_{RESETB} は High レベルを保持します。

尚、上記は検出時 Active Low 製品を用いての動作説明となります。

Active High 製品の場合は、リセット端子の論理を逆にしてご理解頂きますようお願いいたします。

■動作説明

<高電圧検出回路例>

バッテリー電圧(+B)を R1、R2 抵抗で分圧することで高電圧を検出することが可能です。

高電圧を検出する場合の計算式は以下になります。

回路図は図 3.高電圧検出回路を参照して下さい。

$$V_{DF}(H) = V_{DF}(T) \times \{(R1+R2) \div R2\}$$

$$V_{HYS}(H) = V_{HYS} \times \{(R1+R2) \div R2\}$$

$$V_{DR}(H) = V_{DF}(H) + V_{HYS}(H)$$

例 1: 12V(+B:バッテリー電圧)を検出する場合、R1=220kΩ、R2=20kΩ、V_{DF}(T)=1.0V を使用。

解除電圧 V_{DR}(T)=1.05V(TYP.)、V_{HYS}=V_{DR}(T)-V_{DF}(T)=0.05V(TYP.)となり IC 内部で設定されています。

$$V_{DF}(H) = 12.0V$$

$$V_{HYS}(H) = 0.6V$$

$$V_{DR}(H) = 12.6V$$

(注 1) V_{DF}(H)は外調後の検出電圧

(注 2) V_{HYS}(H)は外調後のヒステリシス幅

(注 3) V_{DR}(H)は外調後の解除電圧

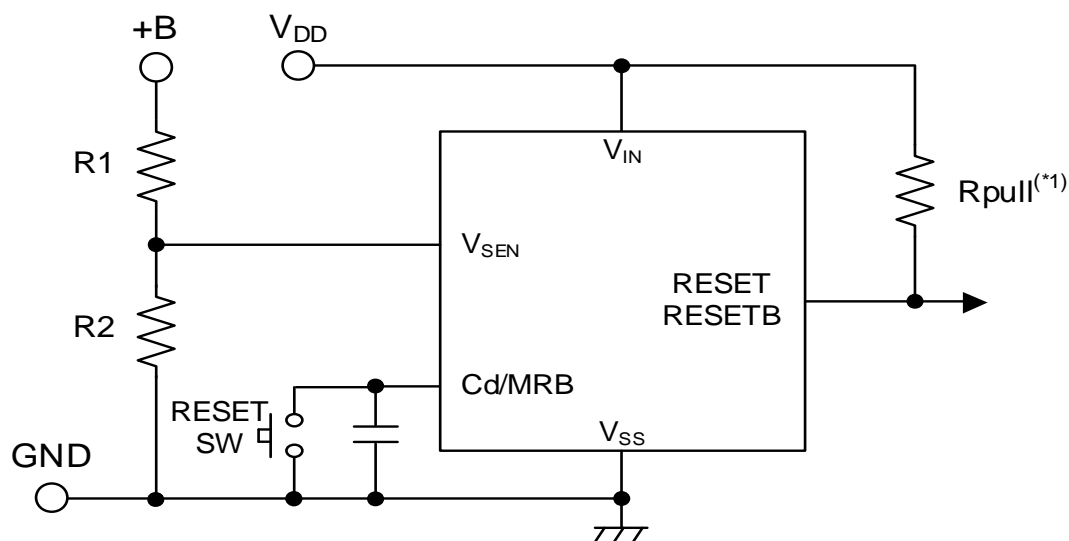
(注 4) V_{DF}(T)は検出電圧

(注 5) V_{HYS} は IC 内部のヒステリシス幅

(注 6) V_{DR}(T)は解除電圧

(注 7) R2 抵抗は内部 R_{SEN} 抵抗と並列になるため、外調後の検出電圧と解除電圧の精度を上げるためには R_{SEN} 抵抗に対して十分小さい値にしてください。R_{SEN} 抵抗値は SPEC TABLE を参照して下さい。

(注 8) 高電圧を検出する場合、V_{SEN} 端子 ≤6V になるように R1、R2 の抵抗で分圧して下さい。



(*1.Unused for the CMOS output products)

図 3.高電圧検出回路

■動作説明

<解除遅延時間/検出遅延時間>

解除遅延時間と検出遅延時間は遅延抵抗(R_p と R_n)及び遅延容量 C_d で決まります。

遅延抵抗(R_p と R_n)の比率は5種類から選択可能です。遅延時間は遅延抵抗と遅延容量値の組み合わせにて調整する事が出来ます(セレクションガイド参照)。

解除遅延時間(t_{DR})は、式(1)により算出されます。

$$t_{DR} = R_p \times C_d \times \{-\ln(1 - V_{TCd1}/V_{IN})\} + t_{DR0} \dots(1) \quad * \ln \text{ は自然対数}$$

遅延容量端子閾値電圧 $V_{TCd1} = V_{IN}/2$ (TYP.)となっており、 t_{DR0} が無視できる時、簡易的には式(2)で算出する事が可能です。

$$t_{DR} = R_p \times C_d \times [-\ln\{1 - (V_{IN}/2)/V_{IN}\}] = R_p \times C_d \times 0.693 \dots(2)$$

検出遅延時間(t_{DF})は、式(3)により算出されます。

$$t_{DF} = R_n \times C_d \times \{-\ln(V_{TCd2}/V_{IN})\} + t_{DF0} \dots(3) \quad * \ln \text{ は自然対数}$$

遅延容量端子閾値電圧 $V_{TCd2} = V_{IN}/2$ (TYP.)となっており、 t_{DF0} が無視できる時、簡易的には式(4)で算出する事が可能です。

$$t_{DF} = R_n \times C_d \times \{-\ln(V_{IN}/2)/V_{IN}\} = R_n \times C_d \times 0.693 \dots(4)$$

例 2: タイプ A を選択した場合($R_p: R_n = 144k\Omega: 0\Omega$)以下の遅延時間となります。
Cd を 0.1 μ F とした場合、

$$t_{DR} = 144 \times 10^3 \times 0.1 \times 10^{-6} \times 0.693 = 10\text{ms}$$

t_{DF} は遅延容量 Cd を接続していない場合の検出遅延時間(t_{DF0})となります。

例 3: タイプ B を選択した場合($R_p: R_n = 144k\Omega: 18k\Omega$)以下の遅延時間となります。
Cd を 0.1 μ F とした場合、

$$t_{DR} = 144 \times 10^3 \times 0.1 \times 10^{-6} \times 0.693 = 10\text{ms}$$

$$t_{DF} = 18 \times 10^3 \times 0.1 \times 10^{-6} \times 0.693 = 1.25\text{ms}$$

(注 9) 例 2、例 3 の解除遅延時間 t_{DR} は式(2)より求めた計算値となります。

(注 10) 例 3 の検出遅延時間 t_{DF} は式(4)より求めた計算値となります。

(注 11) 遅延時間は遅延容量 Cd の実容量値により変わるのでご注意ください。

■動作説明

<マニュアルリセット機能>

Cd/MRB 端子はマニュアルリセット端子としても使用可能です。

図 1 の様に Cd/MRB 端子に遅延容量 Cd とリセットスイッチをつけた状態で解除時にリセットスイッチを ON すると強制的にリセット出力端子の信号を検出状態にすることができます。

解除時にリセットスイッチを ON すると、RESETB 端子は検出遅延時間後に H→L レベル信号を出力します (RESETB: Active Low タイプ)。

解除時にリセットスイッチを ON すると、RESET 端子は検出遅延時間後に L→H レベル信号を出力します (RESET: Active High タイプ)。

検出時にリセットスイッチを ON/OFF してもリセット出力端子は検出状態を保持します。

リセットスイッチを使用せずに Cd/MRB 端子に MRB H レベルまたは MRB L レベルの電圧を印加して使用する場合、図 4 のタイミングチャートの動作となります。

検出時に MRB L レベルの電圧を印加した場合リセット出力端子は検出状態を保持します。

検出時に MRB H レベルの電圧を印加した場合リセット出力端子は不定となります。

V_{SEN} 端子電圧を解除状態から検出状態に推移しても MRB 端子電圧が H レベルである場合、リセット信号は解除状態を維持し、Cd/MRB 端子電圧が Cd 端子の閾値電圧 (V_{TCd}) まで解除状態を保持します。

遅延容量 Cd を接続した状態で Cd/MRB 端子に外部から H または L 信号を入力しても遅延時間はつきません。

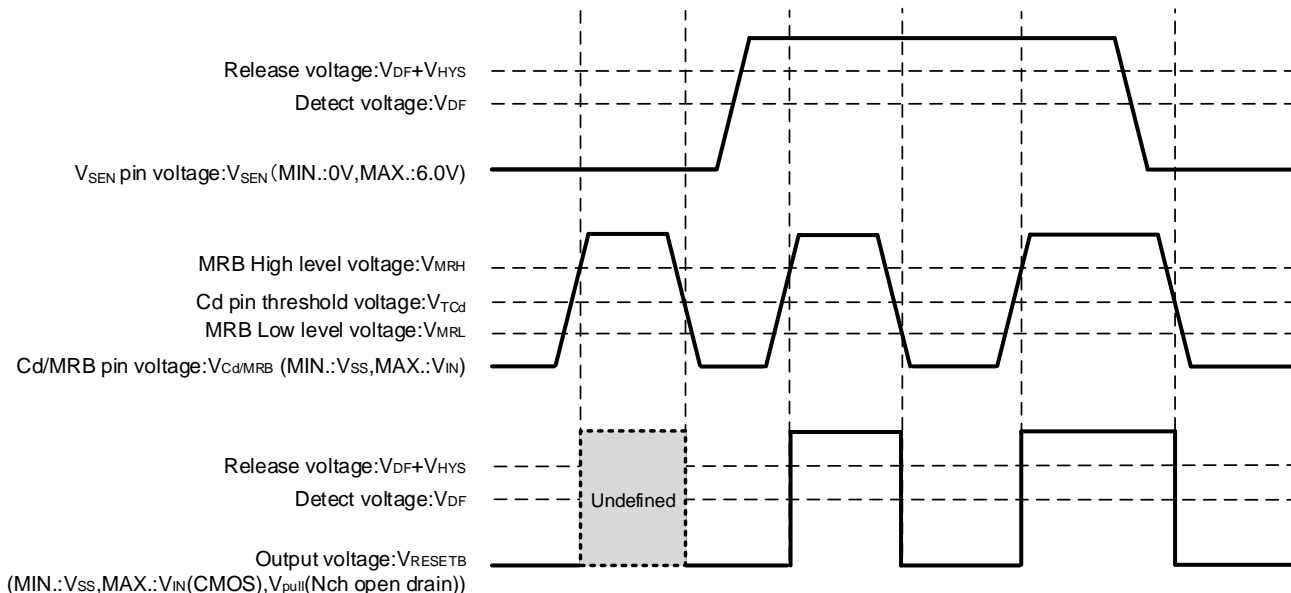


図 4. Cd/MRB 端子によるマニュアルリセット動作 ($V_{IN}=6.0V$ 、Active Low)

■使用上の注意

- 1) 一時的、過渡的な電圧降下および電圧上昇等の現象について、絶対最大定格を超える場合には、劣化または破壊する可能性があります。
- 2) 電源-電源入力端子間の抵抗成分と IC 動作時の貫通電流により電源入力端子電圧が降下します。
CMOS 出力の場合、出力電流でも同様に電源入力端子電圧の降下が起こります。
この時、電源入力端子電圧が最低動作電圧を下回ると誤動作の原因となります。
- 3) 電源入力端子電圧が急峻かつ大きく変動すると誤動作を起こす可能性がありますのでご注意ください。
- 4) 電源ノイズは誤動作の原因となる事がありますので、 V_{IN} -GND 間に容量を挿入するなど実機での評価を十分にして下さい。
- 5) V_{SEN} 端子の抵抗値が高い場合発振する可能性がありますので、監視するノードと V_{SEN} 端子間の抵抗は $1M\Omega$ 以下でご利用下さい。
- 6) V_{IN} と V_{SEN} を共通に立ち上げた場合、 V_{IN} が動作電圧に達するまで出力は不定となりますのでご注意ください。
- 7) マニュアルリセットをかける際に、リセットスイッチを使用せずに Cd/MRB 端子に MRB H レベルまたは MRB L レベルの電圧を印加して使用する場合、以下の事項にご注意下さい。
検出時に MRB H レベルの電圧を印加した場合、リセット出力端子は不定となります。
また V_{SEN} 端子電圧と Cd/MRB 端子電圧のタイミングによっては出力が不定になる場合がありますのでご注意ください。
- 8) Nch オープンドレイン出力の時、出力端子に接続するプルアップ抵抗によって検出時と解除時の V_{RESETB} 電圧が決まります。
以下の事柄を参照して抵抗値を選択して下さい。

【検出時】

$$V_{RESETB} = V_{pull} / (1 + R_{pull} / R_{ON})$$

V_{pull} : プルアップ先の電圧

R_{ON} ^(*): Nch ドライバー M4 の ON 抵抗 (電気的特性より、 V_{RESETB} / I_{RBOUTN} から算出)

計算例) $V_{IN} = 2.0V$ 時⁽²⁾ $R_{ON} = 0.3 / (4.2 \times 10^{-3}) = 71.4\Omega$ (MAX.) となり、 V_{pull} が $3.0V$ で検出時の V_{RESETB} を $0.1V$ 以下に設定する場合、

$$R_{pull} = \{(V_{pull} / V_{RESETB}) - 1\} \times R_{ON} = \{(3 / 0.1) - 1\} \times 71.4 \approx 2.1k\Omega$$

検出時の出力電圧を $0.1V$ 以下にする為には、プルアップ抵抗を $2.1k\Omega$ 以上にする必要があります。

^(*) V_{IN} が小さいほど R_{ON} は大きくなりますのでご注意ください。

⁽²⁾ V_{IN} の選択はご利用になる入力電圧の範囲での最低値で計算して下さい。

【解除時】

$$V_{RESETB} = V_{pull} / (1 + R_{pull} / R_{off})$$

V_{pull} : プルアップ先の電圧

R_{off} : Nch ドライバー M4 の OFF 時抵抗値 (電気的特性より、 V_{RESETB} / I_{LEAKN} から算出)

計算例) V_{pull} が $6.0V$ 時 $R_{off} = 6 / (0.1 \times 10^{-6}) = 60M\Omega$ (MIN.) となり、 V_{RESETB} を $5.99V$ 以上にする場合

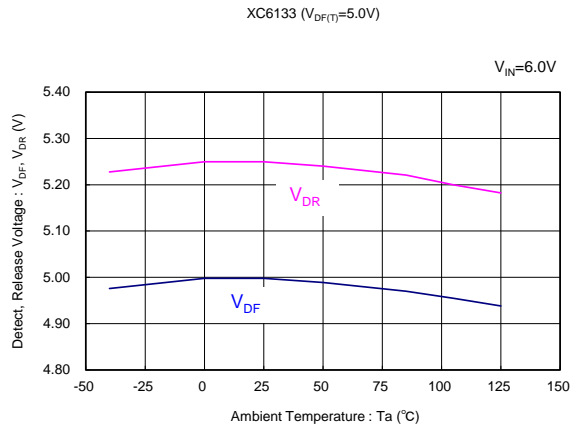
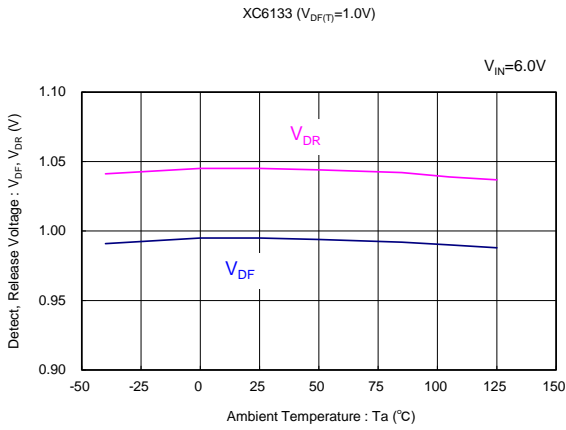
$$R_{pull} = \{(V_{pull} / V_{RESETB}) - 1\} \times R_{off} = \{(6 / 5.99) - 1\} \times 60 \times 10^6 \approx 100k\Omega$$

解除時の出力電圧を $5.99V$ 以上にする為にはプルアップ抵抗を $100k\Omega$ 以下にする必要があります。

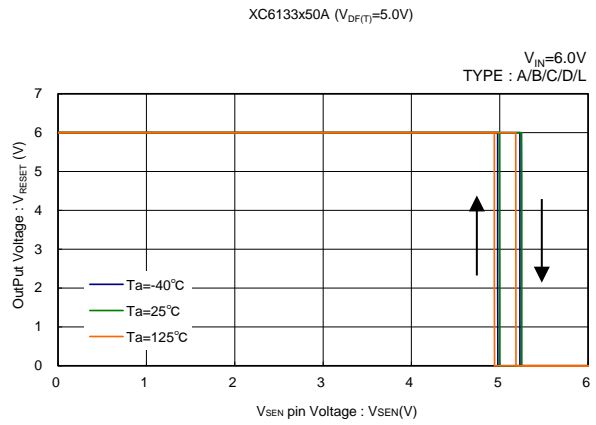
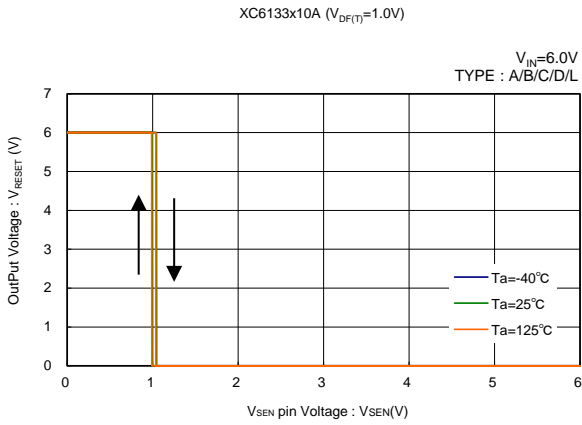
- 9) 検出時における遅延容量 Cd の放電時間が短く、遅延容量 Cd をグランドレベルまでディスチャージできない場合、次の解除動作では遅延容量 Cd に電荷が残っている状態で充電となる為、解除遅延時間が著しく短くなる事があります。
- 10) 解除時における遅延容量 Cd の充電時間が短く、遅延容量 Cd を V_{IN} レベルまでチャージできない場合、次の検出動作では遅延容量 Cd が V_{IN} レベル未満から放電となる為、検出遅延時間が著しく短くなる事があります。
- 11) 当社では製品の改善、信頼性の向上に努めております。しかしながら、万が一のためにフェールセーフとなる設計およびエージング処理など、装置やシステム上で十分な安全設計をお願いします。

■ 特性例

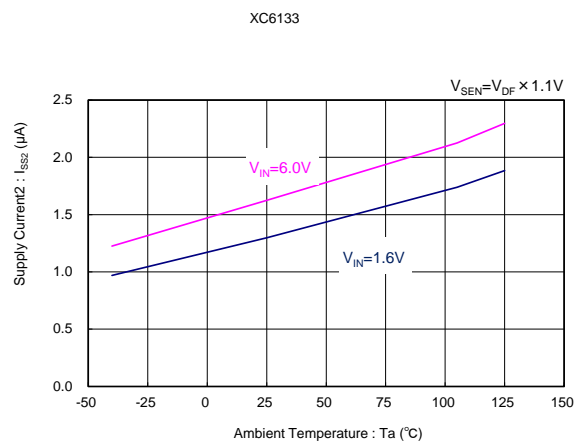
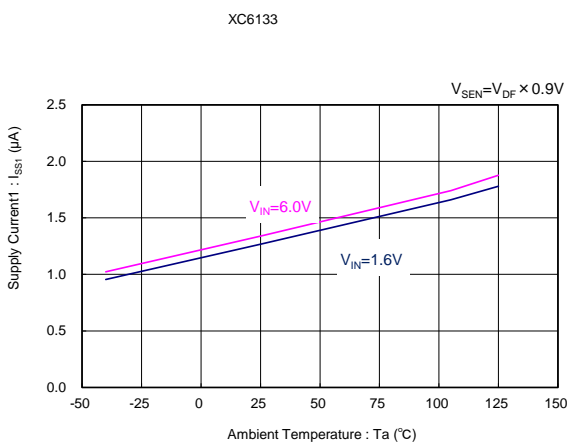
(1) Detect, Release Voltage vs. Ambient Temperature



(2) Output Voltage vs Sense Voltage

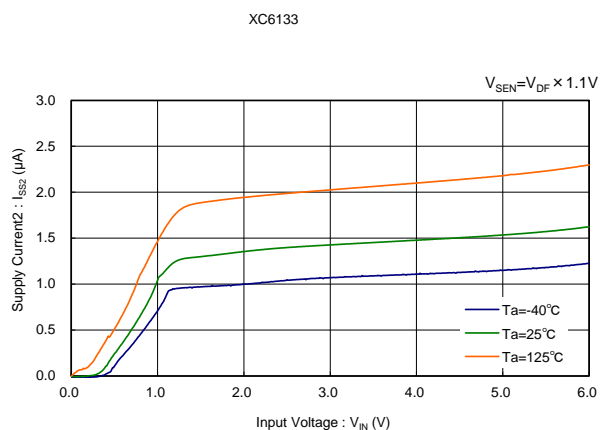
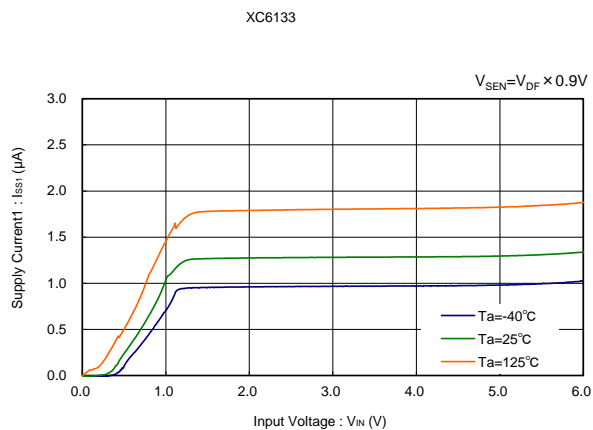


(3) Supply Current vs. Ambient Temperature

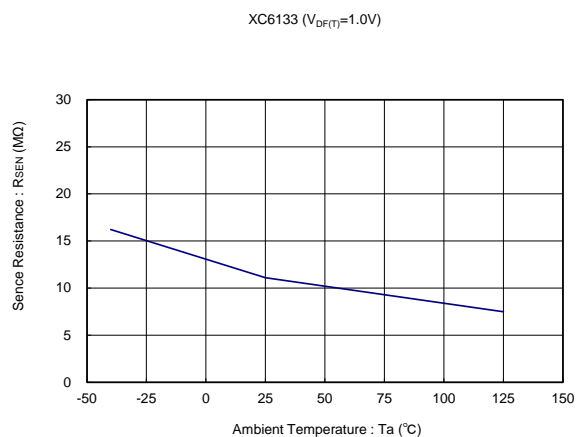


■ 特性例

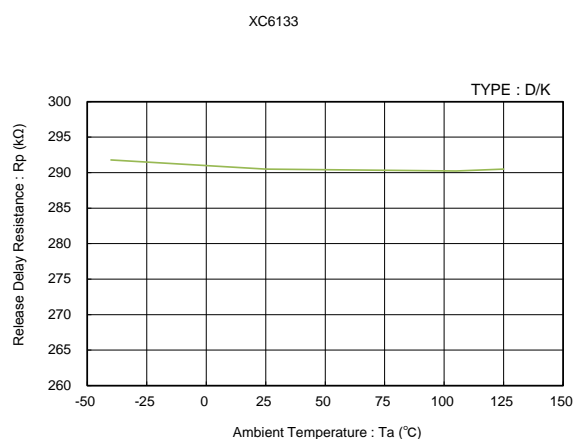
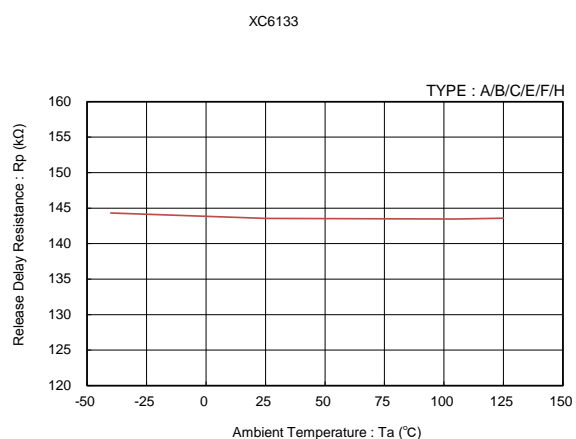
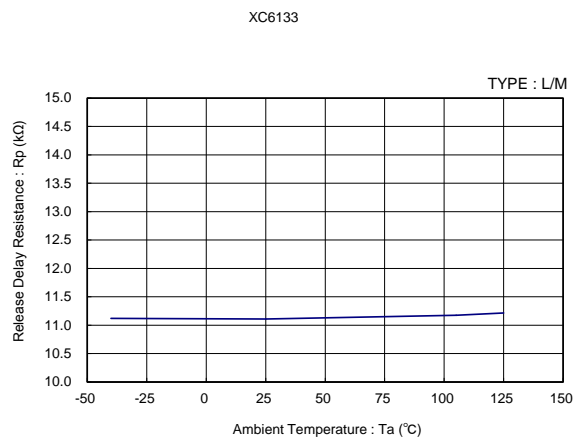
(4) Supply Current vs. Input Voltage



(5) Sense Resistance vs Ambient Temperature

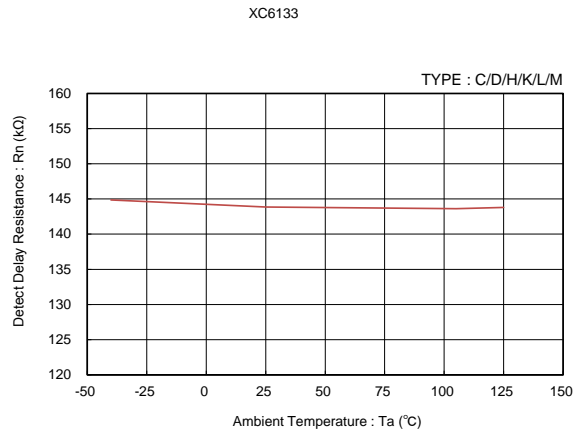
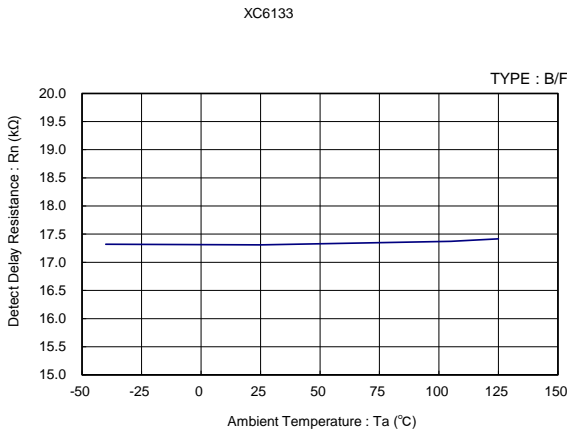


(6) Delay Resistance vs Ambient Temperature

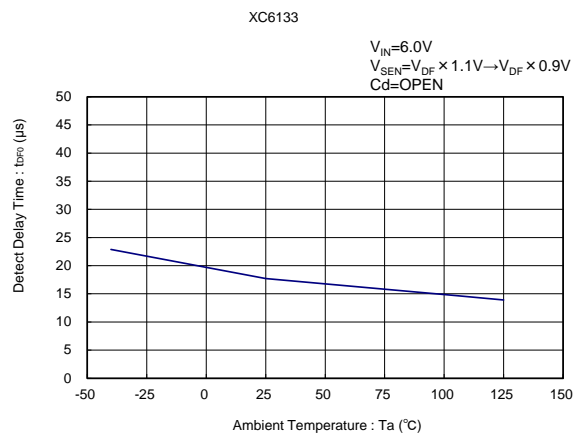
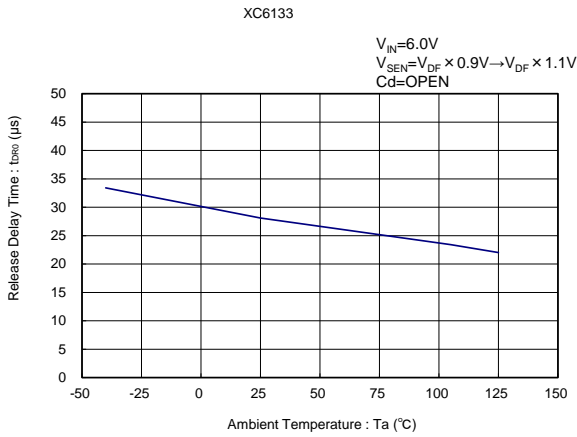


■ 特性例

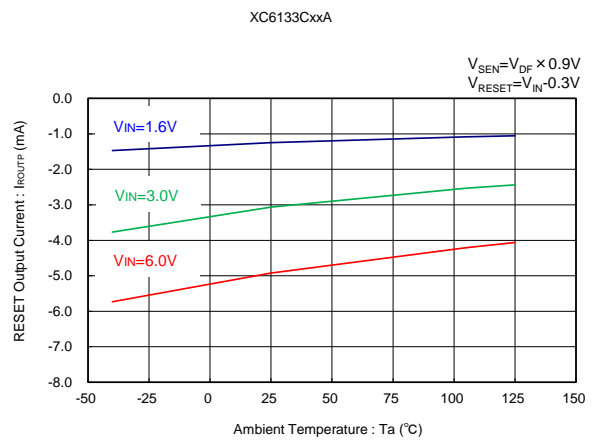
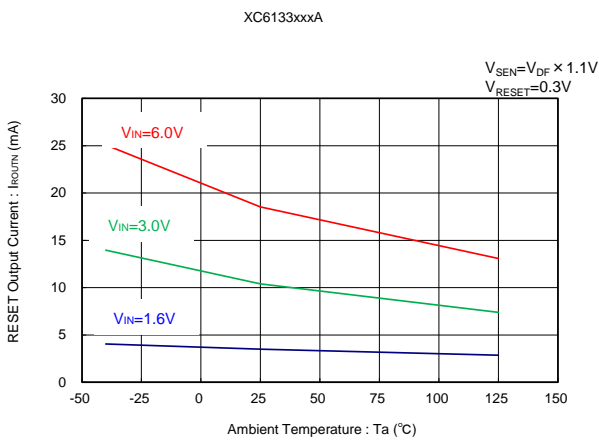
(6) Delay Resistance vs Ambient Temperature (Continued)



(7) Delay Time vs Ambient Temperature

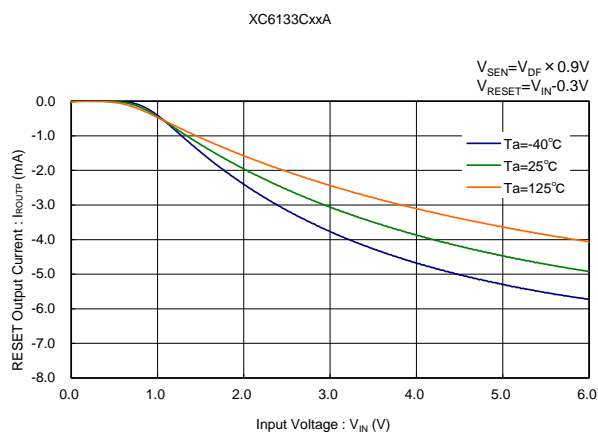
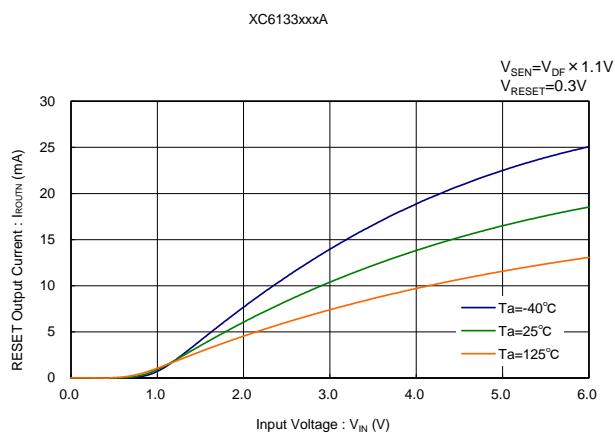


(8) RESET Output Current vs Ambient Temperature

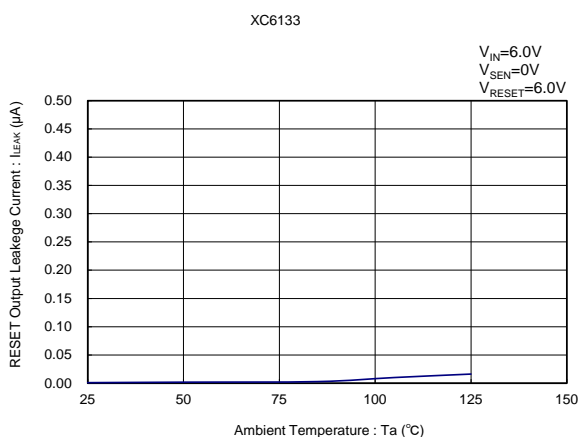


■ 特性例

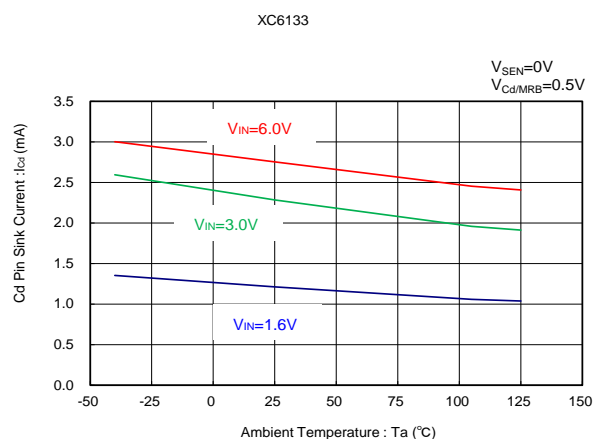
(9) RESET Output Current vs Input Voltage



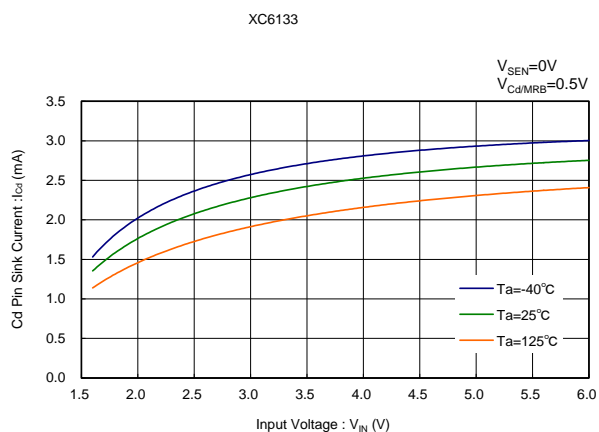
(10) RESET Output Leakage Current vs Ambient Temperature



(11) Cd Pin Sink Current vs Ambient Temperature

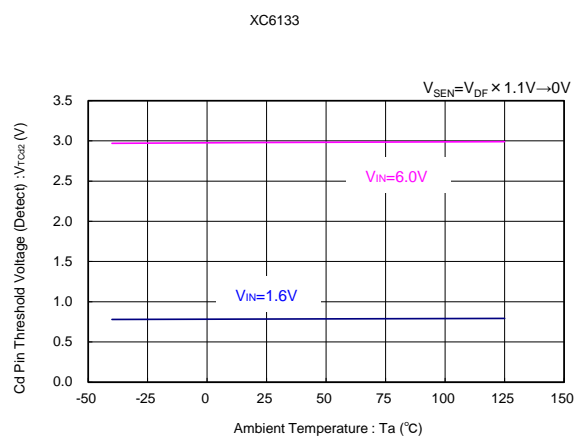
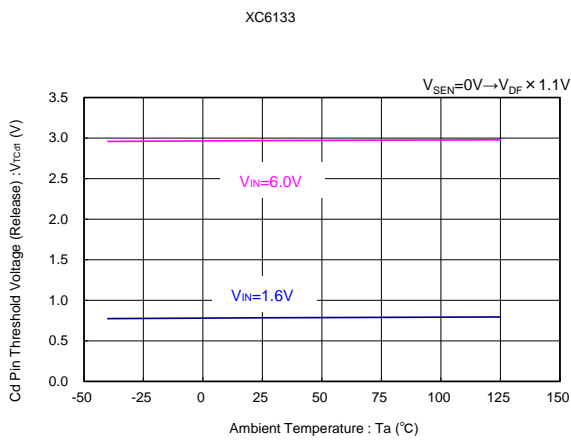


(12) Cd Pin Sink Current vs Input Voltage

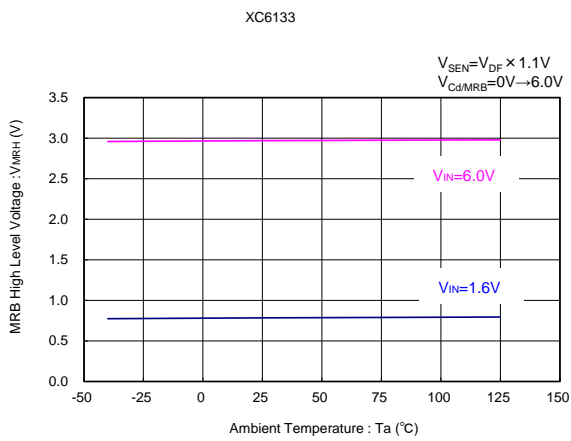


■ 特性例

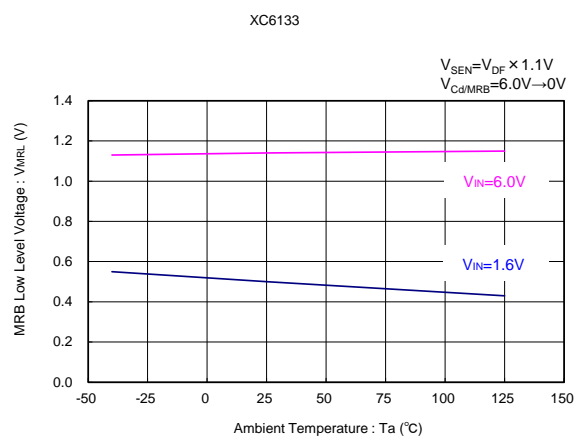
(13) Cd Pin Threshold Voltage vs Ambient Temperature



(14) MRB High Level Threshold Voltage vs Ambient Temperature



(15) MRB Low Level Threshold Voltage vs Ambient Temperature



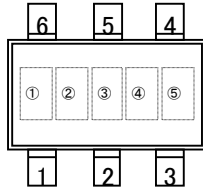
■ パッケージインフォメーション

最新のパッケージ情報については www.torex.co.jp/technical-support/packages/ をご覧ください。

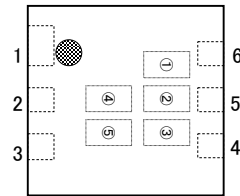
PACKAGE	OUTLINE / LAND PATTERN	THERMAL CHARACTERISTICS	
SOT-26	SOT-26 PKG	Standard Board	SOT-26 Power Dissipation
USP-6C	USP-6C PKG	JESD51-7 Board	USP-6C Power Dissipation

■マーキング

SOT-26



USP-6C



マーク①

製品シリーズ範囲を表す。

シンボル	品名表記例
X	XC6133*****-G

* XC6133 シリーズのマーク①は共通のシンボルにて連番を取得する。

マーク②,③

登録連番を表す。

連番ルール

連番は 01、…、09、10、…、99、A0、…、A9、B0、…、B9、…、Z9… を順番とする。
(但し、G、I、J、O、Q、W は除く。)

マーク④,⑤

製造ロットを表す。

01 ~ 09、0A ~ 0Z、11…9Z、A1 ~ A9、AA…Z9、ZA ~ ZZ を繰り返す。
(但し、G、I、J、O、Q、W は除く。反転文字は使用しない。)

* マーク②,③は、マーク①を基準として、製品名(フル品番)を表す。

1. 本データシートに記載された内容(製品仕様、特性、データ等)は、改善のために予告なしに変更することがあります。製品のご使用にあたっては、その最新情報を当社または当社代理店へお問い合わせ下さい。
2. 本データシートに記載された内容は、製品の代表的動作及び特性を説明するものでありそれらの使用に関連して発生した第三者の知的財産権の侵害などに関し当社は一切その責任を負いません。又その使用に際して当社及び第三者の知的財産権の実施許諾を行うものではありません。
3. 本データシートに記載された製品或いは内容の情報を海外へ持ち出される際には、「外国為替及び外国貿易法」その他適用がある輸出関連法令を遵守し、必要な手続きを行って下さい。
4. 本製品は、1)原子力制御機器、2)航空宇宙機器、3)医療機器、4)車両・その他輸送機器、5)各種安全装置及び燃焼制御装置等々のように、その機器が生命、身体、財産等へ重大な損害を及ぼす可能性があるような非常に高い信頼性を要求される用途に使用されることを意図しておりません。これらの用途への使用は当社の事前の書面による承諾なしに使用しないで下さい。
5. 当社は製品の品質及び信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生します。故障のために生じる人身事故、財産への損害を防ぐためにも設計上のフェールセーフ、冗長設計及び延焼対策にご留意をお願いします。
6. 本データシートに記載された製品には耐放射線設計はなされていません。
7. 保証値を超えた使用、誤った使用、不適切な使用等に起因する損害については、当社では責任を負いかねますので、ご了承下さい。
8. 本データシートに記載された内容を当社の事前の書面による承諾なしに転載、複製することは、固くお断りします。

トレックス・セミコンダクター株式会社